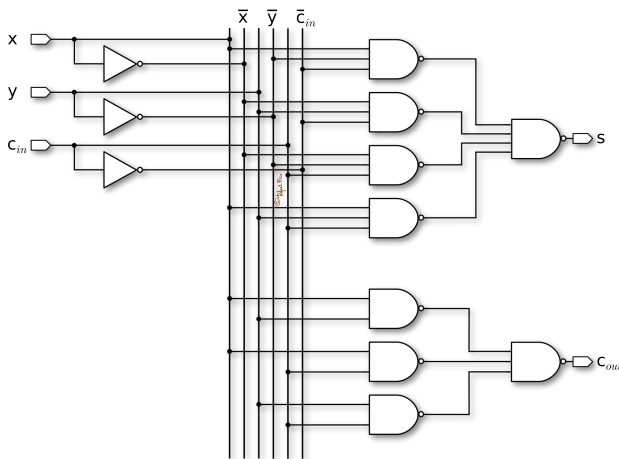
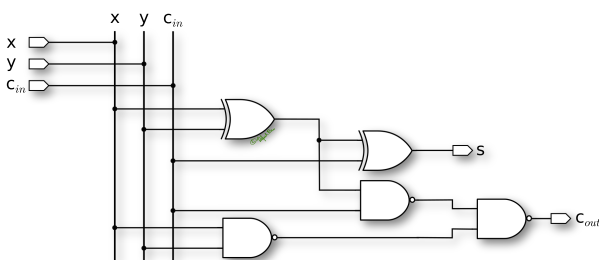


PROBLEMAS: La ruta de datos (b)

1. Diseñe un sumador de 6 bits basado en mediosumadores. Indique la complejidad $\mathcal{O}(g(x))$ del operador tanto en área como en tiempo. Suponiendo que las ecuaciones lógicas del semisumador son $s_i = x_i \oplus y_i$ y $c_i = x_i \cdot y_i$ indique el retardo temporal medido en niveles lógicos.
2. Podemos realizar un sumador binario de n bits basado en mediosumadores (HA) o en sumadores completos (FA). Comente el modo de funcionamiento de cada uno. Discuta sus ventajas e inconvenientes y sus posibles áreas de aplicación.
3. Usando un restador en complemento a dos y las puertas oportunas, realice un circuito comparador de 2 enteros de 4 bits en complemento a 2 ($x_{C2,4}$ e $y_{C2,4}$) que proporcione las señales IGUAL y MAYORQUE de manera que IGUAL='1' si $x = y$ y MAYORQUE='1' si $x > y$.
4. Diseñe un comparador para números enteros representados en signo-magnitud que proporcione las señales IGUAL y MAYORQUE.
5. Suponga que dispone de un sumador completo implementado con la lógica que se muestra en la figura siguiente. Si diseña un sumador propagador (RCA) de 4 bits con ese sumador completo indique el tiempo de retardo medido en niveles lógicos (r_g) que conlleva el cómputo de la suma y del acarreo de salida. Nota: los inversores cuentan como un nivel de retardo.



6. Suponga que dispone de un sumador completo implementado con la lógica que se muestra en la figura siguiente. Si diseña un sumador propagador (RCA) de 4 bits con ese sumador completo indique el tiempo de retardo medido en niveles lógicos (r_g) que conlleva el cómputo de la suma y del acarreo de salida.



7. Se desea realizar un sumador entero de n bits basado en el selector de acarreo. Los bloques propagadores son todos del mismo tamaño k . ¿Qué fórmula nos da el tiempo de retardo en función de n y k medido en niveles lógicos? Determine el valor de k que minimiza el retardo para un tamaño n dado.
8. Se desea diseñar un sumador con selección de acarreo de 16 bits. Podemos usar bloques propagadores de 2, 4 y 8 bits. Construya el mejor sumador posible suponiendo que los conmutadores tienen un retardo equivalente a $2 r_g$ (retardo de una puerta lógica genérica).
9. Sean los siguientes factores representados en binario puro: multiplicando $111010_{2,6}$ y multiplicador $001010_{2,6}$. Realice el producto mediante el algoritmo de sumas-desplazamientos.
10. Sean los siguientes factores representados en complemento a dos: multiplicando $001010_{C2,6}$ y multiplicador $111010_{C2,6}$. Realice el producto mediante el algoritmo de sumas-desplazamientos.
11. Sean los siguientes factores representados en complemento a dos: multiplicando $111010_{C2,6}$ y multiplicador $001010_{C2,6}$. Realice el producto mediante el algoritmo de sumas-desplazamientos.
12. Sean los siguientes factores representados en complemento a uno: multiplicando $010010_{C1,6}$ y multiplicador $100010_{C1,6}$. Realice el producto mediante el algoritmo de sumas-desplazamientos.
13. Sean los siguientes factores representados en binario puro: multiplicando $001010_{2,6}$ y multiplicador $111010_{2,6}$. Realice el producto mediante el algoritmo de sumas-restas.
14. Sean los siguientes factores representados en complemento a dos: multiplicando $001010_{C2,6}$ y multiplicador $111010_{C2,6}$. Realice el producto mediante el algoritmo de sumas-restas.