

PROBLEMAS: LA MEMORIA

- 1. Indicar cuál de los siguientes modelos de memoria dispone de mayor capacidad: 8KByte; 256 x 16; 2Kbit; 4K x 4

 - 2. Calcular el número de lecturas que pueden realizarse en un dispositivo de memoria DRAM en 1 segundo, sabiendo que tiene un tiempo de acceso t_a de 80ns y un tiempo para restaurar la información tres de 20ns.

 - 3. Supongamos que el tiempo empleado en el refresco de una memoria DRAM supone un 7% del total. Si lográramos disminuir este tiempo hasta un 2%, ¿cuál sería la mejora en la velocidad de transferencia? Calcularlo si inicialmente la velocidad de transferencia es de 2,4Mbits/seg.

 - 4. Disponemos de una memoria EDO cuyos bloques son de 4 direcciones. El tiempo de acceso al bloque (direccional fila) es de 30ns y el tiempo en acceder a datos del bloque es de 40ns por dato. Calcular la mejora en tiempo frente a una DRAM convencional de tiempo de acceso 60ns. Despreciar en ambos casos el tiempo de refresco. Suponer que se accede a todas las direcciones del bloque consecutivamente. Repetir si sólo se accede a dos y si únicamente se accede a una.

 - 5. Diseñar una memoria con 512 Kbytes de RAM y 128 Kbytes de ROM que se acceda a nivel de byte. Emplear pastillas RAM estáticas de 64K x 8 y ROM de 32K x 8.

 - 6. El sistema de memoria de un computador cuenta con una memoria principal de 4MBytes y con una caché de 256KBytes. La memoria caché está organizada de forma totalmente asociativa y cada marco de bloque contiene 4 palabras. Contestar a las siguientes preguntas:
 - a) número total de bloques en memoria principal.
 - b) número total de marcos de bloque en caché.
 - c) campos y tamaño de los mismos en los que se divide la dirección física de memoria.
 - d) tamaño (en filas x columnas) de la matriz de búsqueda de la memoria asociativa que tabula las correspondencias entre bloques y marcos de bloque.
 - e) tamaño de la matriz de datos de la memoria asociativa.
 - f) contesta a esta misma serie de cuestiones si la organización de la memoria caché es asociativa por conjuntos de 4 vías.

 - 7. Un computador dispone de una memoria caché con un tiempo de acceso de 20ns y una memoria principal con un tiempo de acceso de 100ns. La política de escritura de la memoria caché es escritura directa. Mediante la ejecución de una serie de programas de prueba se ha observado que el 53% de las referencias a memoria son a instrucciones y que de cada 10 referencias a datos, 8 son de lectura y 2 de escritura. La tasa de aciertos con esta configuración es del 98%. Calcular el tiempo medio que consume un acceso a memoria.

 - 8. Se está estudiando la posibilidad de una organización alternativa de la memoria caché de forma que se tengan dos memorias caché separadas: una para instrucciones y otra para datos. Mediante simulaciones realizadas para este estudio (con los mismos programas de prueba del apartado anterior) se ha comprobado que las probabilidades de acierto en ambas memorias son del 99% en la caché de instrucciones y del 98% en la caché de datos. Determinar si este diseño supone alguna mejora, desde el punto de vista del tiempo medio de acceso a memoria, con respecto al diseño anterior. Calcular el nuevo tiempo medio de acceso así como el porcentaje de mejora (si lo hay).
-

■ 9. Sean dos computadores A y B cuyo procesador y memoria principal tienen las mismas características. En ambos casos, la palabra es de 32 bits y el direccionamiento se realiza a nivel de byte (primera palabra: dirección 0, segunda palabra: dirección 4, etc.). La memoria principal tiene un tiempo de acceso de 5 ciclos de reloj. La memoria caché tiene, en ambos computadores, el mismo tamaño pero distinta organización.

	computador A	computador B
organización	asociativa por conjuntos 2 líneas de 16 bytes por línea	correspondencia directa 128 líneas de 16 bytes
política de escritura	directa	postescritura
política en fallo de escritura	no ubicación	ubicación
política de reemplazo	LRU	---
t. acceso en acierto de lectura	1 ciclo	1 ciclo
t. acceso en fallo de lectura	10 ciclos	10 ciclos
t. acceso en acierto de escritura	acceso a memoria principal	1 ciclo
t. acceso en fallo de escritura	acceso a memoria principal	11 ciclos
t. escribir en ppal. línea modificada	---	10 ciclos

Se ejecuta un programa del que mostramos a continuación una pequeña secuencia de instrucciones:

dirección	instrucción
00	LD .R1,#256
04	ST #0,[.R1]
08	ADD .R1,#4
12	CMP .R1,#272
16	BNZ /04

donde las direcciones y los operandos están expresados en decimal.

Considerando que las memorias caché están inicialmente vacías se pide indicar la traza de referencias generada por la ejecución de la secuencia del programa dada junto con el bloque de memoria principal al que pertenece cada una de las referencias. Determinar el tiempo de ejecución del programa en ambos computadores, indicando la velocidad relativa de un computador frente al otro. Se tomarán únicamente los tiempos de acceso a memoria.