

Familia	MIPS				
	R2000	R3000	R4000	R8000	R10000

General					
Año	87	88	92	94	96
Reloj (Mhz)		40	100	75	200-275
Micras	2	1.2	1	0.7	0.35
Transist. (millones)	0.11		1.1	3.4	6.7

Ejecución					
Etapas	5	5	8	5	5
Superesc.	1	1	1	4	4
Nº UE	1	1	3	4	4
Regs E CF	32   16	32   16	32   32	32   32	32   32
Tamaños	32   64	32   64	64   64	64   64	64   64
Nº Instr.	74	74	150	170	170

Dep. Datos					
Bypass	sí	sí	sí	sí	sí
Renomb.	-	-	-	-	64   64
RoB	-	-	-	-	32 inst.

Familia	MIPS				
	R2000	R3000	R4000	R8000	R10000

Saltos					
E. Ret. + A.	sí	sí	sí	sí	Sí
P. Dinámica	-	-	-	-	-
BHT	-	-	-	-	512 ent.
BTAC	-	-	-	1K ent.	-
BTIC	-	-	-	-	-

Cachés					
L1	h. 64K I/D ext.	h. 256K I/D ext.	8K I/D	16K I/D	32K I/D
L2	-	-	h. 4M ext.	h. 16M ext.	h. 16M ext.
L3	-	-	-	-	-

Otros	-	-	-	-	-
-------	---	---	---	---	---

<b>Familia</b>	<b>SPARC</b>				
	SunSparc	Super	Hyper	Ultra II	Ultra III

<b>General</b>					
Año	87	91	95	96	01
Reloj (Mhz)	16.6	60	200	250	900
Micras	1.5	0.80	0.4	0.35	0.18
Transist. (millones)	0.02	3.1		5.4	29

<b>Ejecución</b>					
Etapas	4	4	5	9	14
Superesc.	1	3	2	4	4
Nº UE	1	5	5	8	6
Regs E CF	136*   32	136*   32	136*   32	144*   32	
Tamaños	32   32	32   32	32   32	64   64	64   64
Nº Instr.	180	200	200	220	

<b>Dep. Datos</b>					
Bypass	sí	sí	sí	sí	sí
Renomb.	-	-	sí	sí	sí
RoB	-	-	sí	sí	sí

**NOTAS:**

\* La familia SPARC usa un banco de registros dividido en ventanas. Son 8 ventanas.

<b>Familia</b>	<b>SPARC</b>				
	SunSparc	Super	Hyper	Ultra II	Ultra III

<b>Salto</b>					
E. Ret. + A.	sí	sí	sí	sí	sí
P. Dinámica	-	-	-	sí	
BHT	-	-	-	8K ent.	
BTAC	-	-	-	4K ent.	
BTIC	-	-	-	-	

<b>Cachés</b>					
L1	64 K I+D ext.	36 K I/D	8 K I	16 K I/D	96 K I/D
L2	-	2M ext.	h. 1 M ext.	h. 16 M ext.	h. 8 M ext.
L3	-	-	-		-

<b>Otros</b>	-	-	-	<b>Multimed</b>	<b>Multimed.</b>
--------------	---	---	---	-----------------	------------------

<b>Familia</b>	<b>Alpha</b>			
	21064	21164	21264	21364

<b>General</b>				
Año	92	94	99	
Reloj (Mhz)	200	200	600	1000+
Micras	0.75	0.5	0.35	0.18
Transist. (millones)	1.6	9.3	15.2	100

<b>Ejecución</b>				
Etapas	7	7	7	7
Superesc.	2	4	4	4
Nº UE	4	6	7	7
Regs E CF	32   32	32   32	40   32	32   32
Tamaños	64   64	64   64	64   64	64   64
Nº Instr.	210	210	220	

<b>Dep. Datos</b>				
Bypass	sí	sí	sí	sí
Renomb.	-	-	+ 40 + 40	+ 40 + 40
RoB	-	-	(20+15)	(20+15)

<b>Familia</b>	<b>Alpha</b>			
	21064	21164	21264	21364

<b>Salto</b>				
E. Ret. + A.	sí	sí	sí	¿igual?
P. Dinámica	(*)	(*)	sí(*)	¿igual?
BHT	2K ent.	2K ent.	10K ent. (+)	¿igual?
BTAC	-	-	4 K ent. (en caché)	¿igual?
BTIC	-	-	-	-

<b>Cachés</b>				
L1	8 K I/D	16/8 K I/D	64 K I/D	64 K I/D
L2	h. 16 M ext.	96 K I+D	h. 16 M ext.	1.5 M I+D
L3	-	h. 64 M ext.	-	-

<b>Otros</b>	-	<b>Multimed.</b>	<b>Multimed.</b>	<b>Multimed.</b>
--------------	---	------------------	------------------	------------------

(\*) Además, todos usan predicción estática: hacia atrás=tomado.

(+) Tiene predictores locales y globales

<b>Familia</b>	<b>HP-PA RISC</b>				
	PA	7100	8000	8500	8700

<b>General</b>					
Año	91	92	96	98	01
Reloj (Mhz)	60	100	180	440	800
Micras	1	0.8	0.5	0.25	0.18
Transist. (millones)	0.5	0.9	3.8	140	

<b>Ejecución</b>					
Etapas	5	5	7	7	
Superesc.	1	2	4	4	4
Nº UE	3	4	11	11	10
Regs E CF	32   32	32   32	32   32	32   32	32   32
Tamaños	32   64	32   64	64   64	64   64	
Nº Instr.	200	200	210	210	

<b>Dep. Datos</b>					
Bypass	sí	sí	sí	sí	sí
Renomb.	-	-	sí	sí	sí
RoB	-	-	sí	sí	sí

<b>Familia</b>	<b>HP-PA RISC</b>				
	PA	7100	8000	8500	8700

<b>Salto</b>					
E. Ret. + A.	sí	sí	sí	sí	sí
P. Dinámica	(*)	(*)	sí(*)	sí(*)	
BHT	-	-	256 (3b)	256 (3b)	
BTAC	-	-	-	-	
BTIC	-	-	32	32	

<b>Cachés</b>					
L1	h. 3M I/D ext.	h. 3M I/D ext.	h. 8M I/D ext.	1.5M I/D	2.25M I/D
L2	-	-	-	-	-
L3	-	-	-	-	-

<b>Otros</b>	-	-	<b>Multimed.</b>	<b>Multimed</b>	-
--------------	---	---	------------------	-----------------	---

(\*) Además, todos usan predicción estática: hacia atrás=tomado.

<b>Familia</b>	<b>PowerPC</b>				
	601	603	620	750 (G3)	7450 (G4)

<b>General</b>					
Año	93	93	96	97	00
Reloj (Mhz)	80	80	200	400	733
Micras	0.6	0.65	0.5	0.25	0.18
Transist. (millones)	2.8	1.6	7	6.25	

<b>Ejecución</b>					
Etapas	4	4	5	4	4
Superesc.	3	3	4	3	4
Nº UE	4	4	6	6	7(+4)
Regs E CF	32   32	32   32	32   32	32   32	32   32
Tamaños	32   64	32   64	64   64	32   64	32   64
Nº Instr.	350	350	350	350	350

<b>Dep. Datos</b>					
Bypass	sí	sí	sí	sí	sí
Renomb.	-	+5   +8	+12   +8	+6   +6	+16 +16 +16
RoB	sí	sí	sí	sí	sí

<b>Familia</b>	<b>PowerPC</b>				
	601	603	620	750 (G3)	7450 (G4)

<b>Salto</b>					
E. Ret. + A.	sí	sí	sí	sí	sí
P. Dinámica	(*)	(*)	sí(*)	sí(*)	sí(*)
BHT	-	-	2K ent.	2K ent.	2K ent.
BTAC	-	-	256 ent.	64 ent.	128 ent.
BTIC	-	-	-	-	-

<b>Cachés</b>					
L1	32K I+D	8K I+D	32K I/D	32K I/D	32K I/D
L2	-	-	h. 128 M (ext.)	h. 1 M (ext.)	256K
L3	-	-	-	-	h. 2M (ext.)

<b>Otros</b>					<b>Multimed</b>
	-	-	-	-	

(\*) Además, todos usan predicción estática: hacia atrás=tomado.

Familia	Intel 80x86				
	8086	486	Pentium	P III	PIV

General					
Año (+)	78	89	93	99	00
Reloj (Mhz)	10	100	233	900	1700
Micras	3	0.8	0.25	0.18	0.18
Transist. (millones)	0.029	1.2	4.5	28	42

Ejecución					
Etapas	1	5	5	11	21
Superesc.	1	1	2	4	7
Nº UE	1	1	2	12	8
Regs E CF	12   0	12   8	12   8	12   8	12   8
Tamaños	16   -	32   64	32   64	32   64	32   64
Nº Instr.					

Dep. Datos					
Bypass	-	sí	sí	sí	sí
Renomb.	-	-	-	+6   +6	128   128
RoB	-	-	-	40	126

NOTAS:  
 (+) Año de aparición de la primera versión. El resto de características corresponde al modelo más potente.

Familia	Intel 80x86				
	8086	486	Pentium	P III	PIV

Saltos					
E. Ret. + A.	-	-	-	-	-
P. Dinámica	-	(*)	sí(*)	sí(.)	sí(.)
BHT	-	-	2K ent.	(0)	4K + 512 ent.
BTAC	-	-	256 ent.	512 ent.	4K + 512 ent.
BTIC	-	-	-	-	-

Cachés					
L1	-	8K I+D	16K I/D	16K I/D	12K ?op. I 8K D
L2	-	-	h. 128 M (ext.)	2 M(=)	256K
L3	-	-	-	-	h. 2M (ext.)

Otros	-	-	Multimed.	Multimed	Multimed.
-------	---	---	-----------	----------	-----------

#### NOTAS:

(\*) Usa predicción estática: no tomado.

(O) La documentación habla del BTB (BTAC) únicamente, no se refiere al BHT.

(.) Predicción estática compleja

(=) Hay distintos modelos, en cuanto a la cantidad y en cuanto a la velocidad de reloj

<b>Familia</b>	<b>AMD 80x86</b>		
	K5	K6-III	Athlon

<b>General</b>			
Año			
Reloj (Mhz)	166	450	1300
Micras		0.25	0.18
Transist. (millones)			22

<b>Ejecución</b>			
Etapas	6	6	
Superesc.	4	6	9
Nº UE	6	10	10
Regs E CF	12   8	12   8	12   8
Tamaños	32   64	32   64	32   64
Nº Instr.			

<b>Dep. Datos</b>			
Bypass	sí	sí	sí
Renomb.	sí (*)	69	
RoB	16	24	72

**NOTAS:**

(\*) El renombrado es implícito a través de las estaciones de reserva y el RoB

<b>Familia</b>	<b>AMD 80x86</b>		
	K5	K6-III	Athlon

<b>Salto</b>			
E. Ret. + A.	-	-	-
P. Dinámica	sí	sí	sí
BHT	1024 (*)	8K ent.	4K ent.
BTAC		-	-
BTIC	-	16	sí (¿cuánto?)

<b>Cachés</b>			
L1	16K I 8K D	32K+20K I 32K D	64K I /D
L2		256K	256K
L3			

<b>Otros</b>		<b>Multimed.</b>	<b>Multimed.</b>
--------------	--	------------------	------------------

**NOTAS:**

(\*) Incluidos en la caché de instrucciones. Además predice el índice de la siguiente búsqueda.

## Los procesadores, según su año de aparición

Familia	78	87	88	89	90	91	92	93
SPARC	Sun			Super				
MIPS	R2000		R3000		R4000			
PA-RISC						PA	7100	
Alpha								21064
PowerPC								601/3
Intel	8086		486			Pentium		
AMD								

