

Aplicación de la teoría de grafos al análisis del paralelismo a nivel de instrucción

Nota técnica TN-UAH-AUT-GAP-2005-01-es

Raúl Durán, Rafael Rico

Departamento de Automática, Universidad de Alcalá, España

Enero 2005

English version:

On Applying Graph Theory to ILP Analysis

Technical Note TN-UAH-AUT-GAP-2005-01-en

Raúl Durán, Rafael Rico

Department of Computer Engineering, Universidad de Alcalá, Spain
January 2005

Resumen:

La evaluación de las arquitecturas de computadores requiere nuevas herramientas que complementen las habituales simulaciones. En este sentido, la teoría de grafos tradicional puede ayudar a crear un nuevo marco de análisis del paralelismo de grano fino. Las diferencias encontradas entre el rendimiento superescalar en procesadores x86 y no-x86 y las características peculiares de la arquitectura del repertorio x86 recomiendan realizar un estudio exhaustivo del paralelismo disponible en la capa del lenguaje máquina.

Partiendo de nociones básicas de la teoría de grafos se introducen conceptos nuevos tales como la *valencia reducida* para llegar a la *matriz de dependencias de datos D* que caracteriza de manera matemática una secuencia de código. Dicha matriz cumple una serie de propiedades y restricciones y describe cuál es la disposición del código para ser procesado concurrentemente. Entre otros detalles, se establece una relación entre la longitud del camino crítico y el grado de paralelismo y se ofrecen técnicas para calcularlo a partir de la propia matriz *D*.

Finalmente se muestra cómo las diferentes fuentes de dependencias de datos se pueden componer facilitando un modo de analizar su influencia final en el grado de paralelismo. Se ilustra la técnica con un ejemplo del que se obtienen algunas conclusiones.

Palabras clave: Evaluación de arquitecturas de computadores, paralelismo a nivel de instrucción, arquitectura del repertorio de instrucciones, teoría de grafos, cuantificación basada en DDG.