



APELLIDOS, Nombre:.....

**No se permite el uso de apuntes, libros ni calculadora.**  
**No desgarrar las hojas y utilizar únicamente el espacio asignado**  
**Tiempo: 2 horas**

**TEST**

**5 puntos**

Respuesta correcta⇒ **0,5** incorrecta⇒ **- 0,25** No contestada⇒ **0** Una sola opción correcta en cada pregunta

1. Sea una ALU que emplea dos bits de guarda y un bit retenedor. Sea el número 0100 0011 **100** (los tres bits resaltados en negrita corresponde con los bits de guarda y el bit retenedor)

- a) La técnica de redondeo al más próximo coincide con la truncación
- b) La técnica de forzar el bit menos significativo a 1 coincide con la de redondear al más próximo
- c) Las técnicas de redondeo al más próximo, truncación y forzar el bit menos significativo a 1 coinciden
- d) Ninguna de las anteriores**

2. Las operaciones elementales

- a) Pueden ser de transferencia o de proceso**
- b) Pueden terminar en un elemento de memoria o almacenamiento o en los buses
- c) a) y b) son correctas
- d) Ninguna de las anteriores

3. En el desplazamiento aritmético hacia la izquierda en complemento a 1:

- a) Se introducen ceros por la derecha.
- b) Se introducen unos por la derecha.
- c) El bit más significativo permanece inalterado.**
- d) El bit que sale por la izquierda se introduce por la derecha.

4. El número de niveles lógicos de un sumador NO depende del número de bits de los operandos en:

- a) Un sumador con propagación de acarreo.
- b) Un sumador con anticipación de acarreo puro.**
- c) Un sumador con salto de acarreo.
- d) Un sumador con selección de acarreo.

5. En una memoria caché de correspondencia totalmente asociativa:

- a) La etiqueta identifica a la palabra de MP que está ubicada en un bloque de MCa.
- b) Es necesario comparar la etiqueta de la dirección con todas las etiquetas del conjunto de la MCa.
- c) No tiene sentido establecer una política de sustitución.
- d) Ninguna de las anteriores.**

6. En una unidad de control microprogramada:

- a) La memoria de control se utiliza para almacenar el contenido de los registros de la CPU.
- b) Para reducir el tamaño de la memoria de control se utiliza el formato vertical.**
- c) Es más difícil de modificar el juego de instrucciones que en una cableada.
- d) Ninguna de las anteriores.

7. La transferencia de datos mediante DMA utilizando la estrategia de robo de ciclos consiste en que:

- a) El controlador de DMA devuelve el control del bus cuando finaliza la transmisión del bloque solicitado.
- b) El controlador de DMA inicia la transmisión tomando el control de los buses.
- c) El controlador de DMA es quien realiza la transferencia periférico ⇔ memoria principal del computador.
- d) Todas las respuestas anteriores son correctas.**



APELLIDOS, Nombre:.....

8.- Señale la opción **incorrecta** con respecto al entrelazado de orden superior

- a) Facilita la expansión de memoria
- b) Mejora la fiabilidad ante el fallo de un módulo
- c) Consiste en distribuir las direcciones de memoria entre los módulos de modo que cada uno contenga direcciones consecutivas
- d) Si las referencias sucesivas a memoria son consecutivas, se reducen los conflictos de acceso**

9.- Señale la opción **incorrecta**. En el encadenamiento de periféricos o daisy-chain:

- a) Todos los periféricos piden servicio por la misma línea (INT)
- b) Cuando la CPU acepta la interrupción activa la señal INTA
- c) El vector de interrupción es fijo
- d) La CPU desactiva la petición del periférico de mayor prioridad y activa el biestable de concesión**

10.- Señale la opción correcta con respecto al rendimiento de la memoria

- a) Depende de la capacidad
- b) Depende de la latencia
- c) a) y b) son correctas**
- d) Ninguna de las anteriores

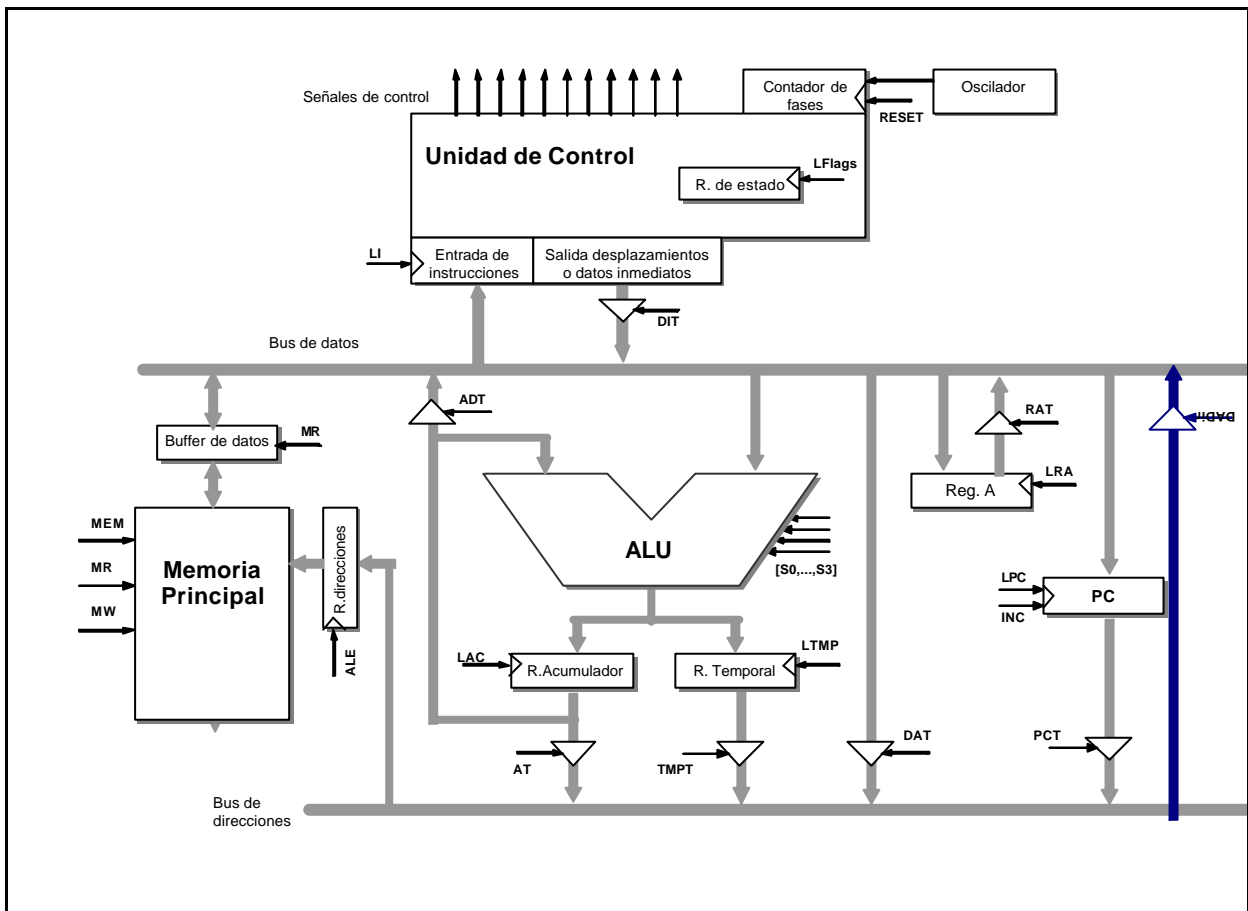


APELLIDOS, Nombre:.....

**EJERCICIO 1 (2.5 puntos)**

La siguiente figura muestra la arquitectura de un ordenador que cuenta, entre otros, con los siguientes elementos:

- Buses de direcciones y datos de 32 bits
- Unidad aritmético-lógica con 16 operaciones lógicas, aritméticas y operación de transferencia.
- Memoria principal con  $2^{32}$  palabras de 32 bits y un tiempo de acceso de 2 ciclos de reloj.
- Unidad de control microprogramada que procesa instrucciones máquina de 32 bits únicamente.
- Registro contador de programa con posibilidad de autoincremento.



Se quiere ejecutar la siguiente instrucción: **AND [ 500h ] + A**, **A** que realiza la operación:

$$M(A + M(500h)) \leftarrow M(A + M(500h)) \text{ and } A$$

siendo A el registro de la figura.

- a) Indicar las operaciones elementales para realizar la operación
- b) Realiza el cronograma correspondiente en la tabla adjunta, indicando en la parte de abajo la fase de ejecución la operación elemental que se realiza en cada periodo o periodos
- c) Indica cómo se puede realizar en esta arquitectura un salto con respecto al contador de programa. Dibuja en la figura una modificación que permita realizar dicho salto en menor tiempo



APELLIDOS, Nombre:.....

**EJERCICIO 2 (2.5 puntos)**

Sea un computador con 16 Registros, cuya longitud de palabra es de 2 bytes. Diseñar los formatos para las instrucciones de tipo Registro-Registro, utilizando la técnica de “expansión de código de operación” de modo que permita:

- 15 instrucciones de 3 operandos.
- 14 instrucciones de 2 operandos.
- 31 instrucciones de 1 operando.
- 16 instrucciones de 0 operandos.

Indique en los esquemas las longitudes de todos los campos y, para los códigos de operación también los rangos de valores.



APELLIDOS, Nombre:.....

**SOLUCIÓN EJERCICIO 1 (apartado a)**

**(1,25 PUNTOS)**

ACCIÓN	OPERACIÓN ELEMENTAL	SEÑAL DE CONTROL
<b>Fase de fetch</b>	PC → bus de direcciones	(PCT)
	Bus de direcciones → R. direcc.	(ALE)
	Inicio ciclo memoria	(MEM)
	Leer	(MR)
	Memoria → bus de datos	
	Bus de datos → Reg. Instrucción	(LI)
<b>Fase de decodificación y actualización del CP</b>		(INC)
		(LPC)
<b>Fase de ejecución de la instrucción</b>	Direccionamiento del operando en memoria:	
	UC (500h) → B. de datos	(DIT)
	B. datos → B. direcciones	(DAT)
	B. direcciones → reg. Direcciones	(ALE)
	Inicio ciclo memoria	(MEM)
	Leer	(MR)
	Memoria → bus de datos	
	Bus de datos → ALU	
	Transferir	<S0..S3 = transferir>
	Cargar R. Acumulador	(LAC)
	Registro A → B. datos	(RAT)
	B. datos → ALU	
	Reg. Acumulador → ALU	
	Sumar	<S0..S3= + >
	Cargar R. Temporal	(LTMP)
	R. Temporal → B. direcciones	(TMPT)
	B. direcciones → R. direcciones	(ALE)
	Reg. A → Bus. Datos	(RAT)
	Bus datos ALU	
	Transferir	<S=..S3 = transferir >
Cargar acumulador	(LAC)	



APELLIDOS, Nombre:.....

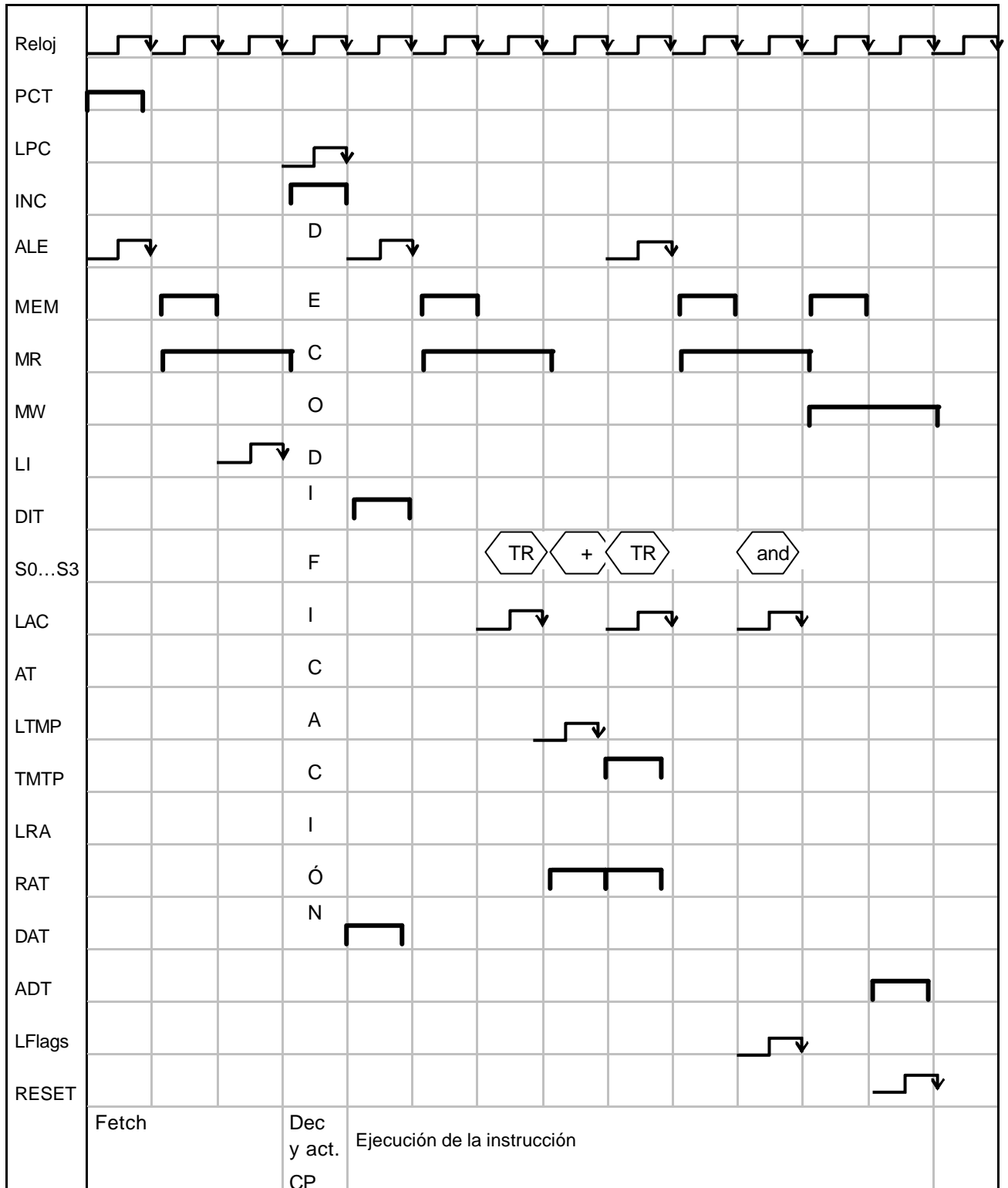
ACCIÓN	OPERACIÓN ELEMENTAL	SEÑAL DE CONTROL
	Inicio ciclo de memoria	(MEM)
	Leer	(MR)
	Memoria → B. datos	
	B. datos → ALU	
	R. acumulador → ALU	
	AND	<S0..S3 = and >
	Cargar Acumulador	(LAC)
	Modificar los Flags	(LFlags)
	Inicio ciclo de memoria	(MEM)
	R. acumulador → B. datos	(ADT)
	Escribir	(MW)
	Poner a cero el contador de fases	(RESET)



APELLIDOS, Nombre:.....

(apartado b)

(0,75 PUNTOS)



**SOLUCIÓN EJERCICIO 1 (apartado c)**

**(0,5 PUNTOS)**

No se puede hacer lo que nos piden. Para ello debemos incluir una línea que vaya del bus de direcciones al bus de datos. Se ha modificado en la figura original en azul



APELLIDOS, Nombre:.....

**SOLUCIÓN EJERCICIO 2**

**(2,5 PUNTOS)**

Lo que nos están pidiendo es el formato de las instrucciones que cuentan con 3, 2, 1 y cero registros. Como contamos con 16 registros se necesitarán 4 bits para poder identificarlos

Las instrucciones se adaptarán a los 16 bits del ancho de palabra del computador

15 instrucciones de 3 operandos, para el código de operación necesitaremos 4 bits y sobrarán una combinación que tendremos disponible para el campo de extensión

Código de operación	Registro 1	Registro 2	Registro 3
(4)	(4)	(4)	(4)

14 instrucciones con 2 operandos. Necesitaremos 4 bits para el código de operación y sobrarán 2 combinaciones

1111	Código de operación	Registro 1	Registro 2
(4)	(4)	(4)	(4)

31 instrucciones de 1 operando. Necesitaremos 5 bits para el código y sobra una combinación. Aquí tendremos  $4 + 4 + 5 + 4 = 17$  bits con lo que sobra uno. Como en el caso anterior sobran dos combinaciones podemos reservar las combinaciones 1110 y 1111 para el campo de extensión, ambas empiezan por 3 unos con lo que tendríamos  $4 + 3 + 5 + 4 = 16$  bits

1111	111	Código de operación	Registro
(4)	(3)	(5)	(4)

Finalmente nos piden 16 instrucciones de 0 operandos con lo que necesitamos 4 bits

1111	111	11111	Código de operación
(4)	(3)	(5)	(4)