

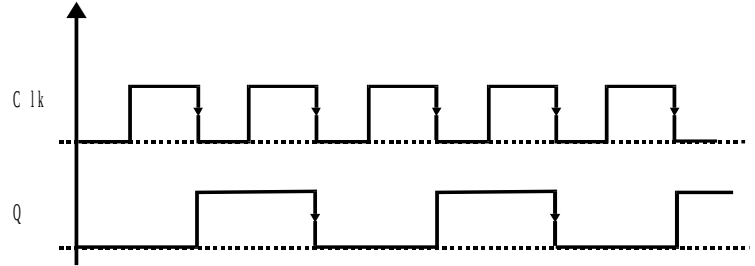
# Sistemas Digitales Secuenciales

**Ejercicio 1:**

Siendo X un número binario de tres bits, diseñar la entrada lógica necesaria para poner a '1' un biestable J-K si X tiene un número impar de unos y ponerle a '0' en caso contrario.

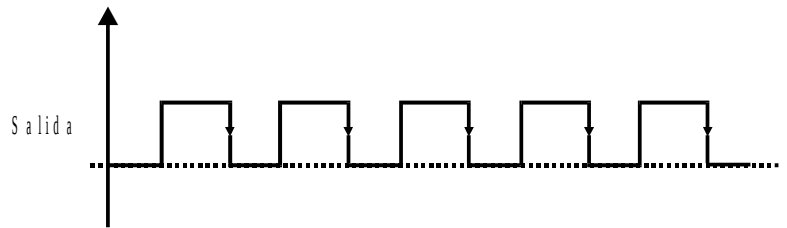
**Ejercicio 2:**

Se dispone del siguiente cronograma. Identifíquese que tipo de biestable se ha empleado y explique por qué.



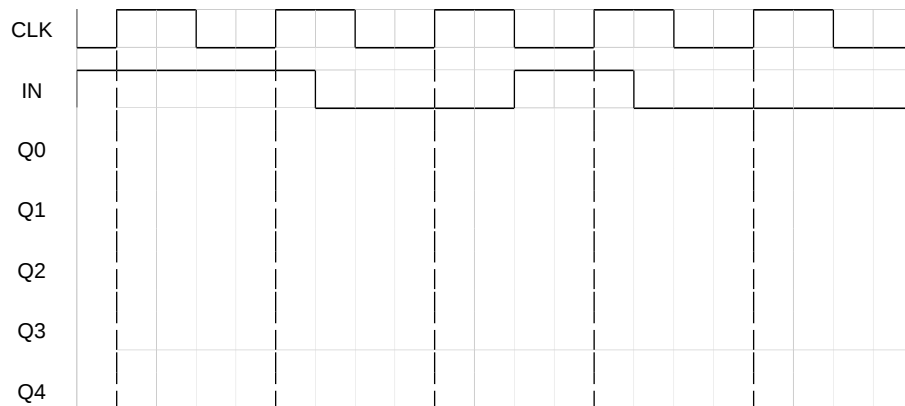
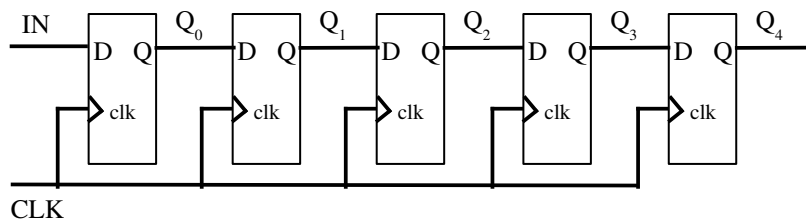
**Ejercicio 3:**

Se desea un circuito secuencial que tenga como señal de salida la representada en la figura. Diseñese dicho circuito digital a base de biestables y puertas lógicas, sabiendo que se trata de un divisor por 4.



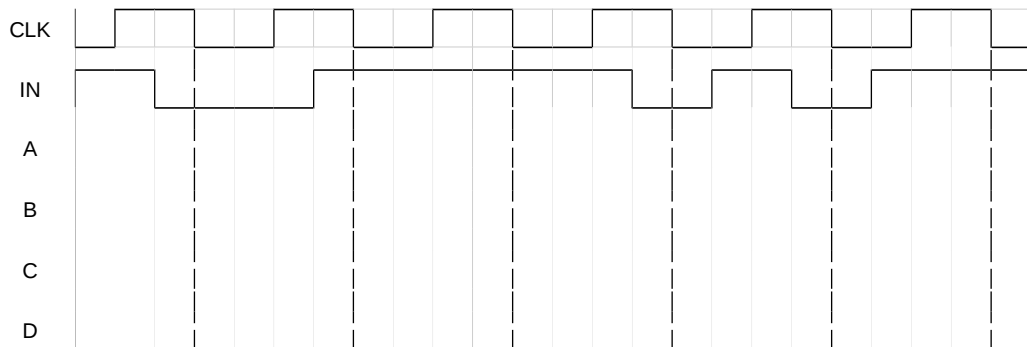
**Ejercicio 4:**

Obtener los estados del registro de 5 bits mostrado (inicialmente 0000), para las señales de reloj (CLK) y entrada de datos (IN) indicadas

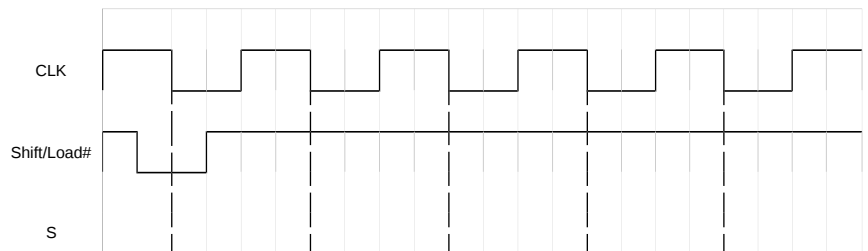
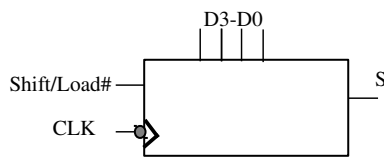


**Ejercicio 5:**

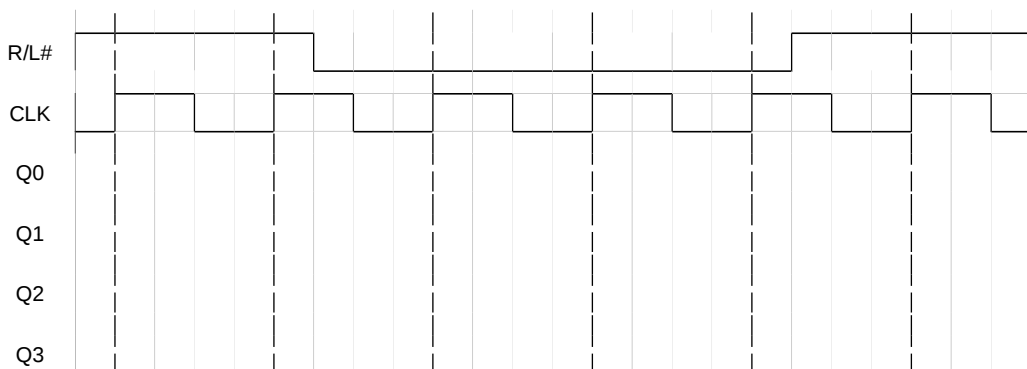
Hacer un diagrama de tiempos de un registro de desplazamiento con entrada serie y 4 salidas paralelas (A-B-C-D), suponiendo que está compuesto de biestables tipo D con entrada de reloj activa en flanco de bajada y que la entrada serie aplicada es la mostrada a continuación. ¿Qué dato se obtendría tras 6 ciclos de reloj?

**Ejercicio 6:**

Determinar la forma de onda de la salida de datos de un registro entrada paralela / salida serie para las señales de entrada mostradas en la figura y suponiendo que las entradas D3-D0 tienen los datos 1010.

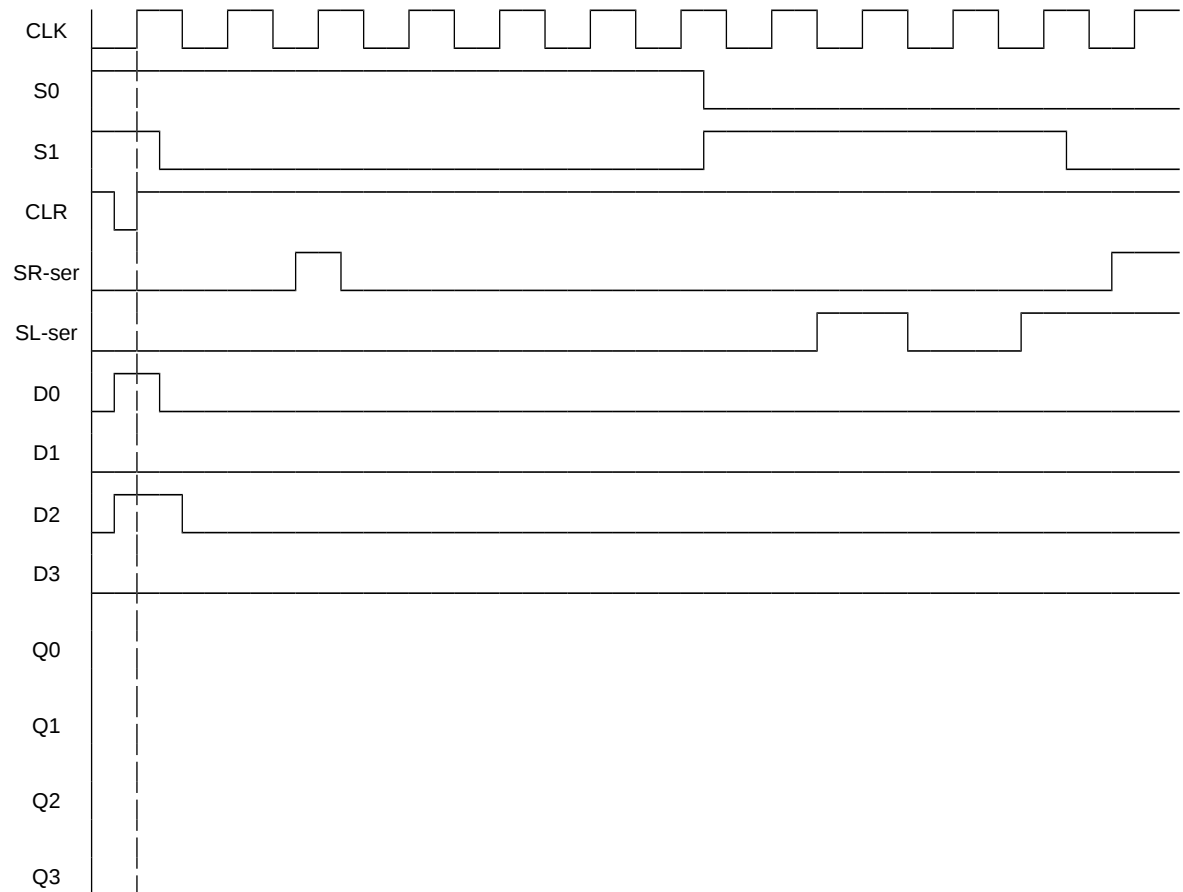
**Ejercicio 7:**

Determinar el estado en cada pulso de reloj de un registro de desplazamiento bidireccional de 4 bits en el que la entrada de datos está en nivel BAJO, si se aplica la señal de control RIGHT/LEFT# indicada. Suponer que el estado inicial del registro es Q0-Q3 = 1101 y que la sincronización es con el flanco de subida del reloj.



**Ejercicio 8:**

Determinar el estado en cada pulso de reloj de un registro de desplazamiento universal bidireccional de 4 bits en el que se aplican las señales de entrada y de control mostradas (sincronización con flanco de subida del reloj). Suponer que solo CLR es asíncrona y que las señales de control S0-S1 codifican el siguiente comportamiento: S0=S1=1 : Carga paralela (D0-D3); S0=S1=0 no hay cambios; S0=0 y S1=1 desplazamiento a la izquierda y S0=1 y S1=0 desplazamiento a la derecha. SR-ser y SL-ser son las entradas de datos serie derecha e izquierda respectivamente.

**Ejercicio 9:**

Diseñe un contador asíncrono ascendente de 2 a 12 con biestables JK.

**Ejercicio 10:**

Diseñe un contador asíncrono descendente de 15 a 3 con biestables JK.

**Ejercicio 11:**

Diseñe un contador síncrono ascendente módulo 4 (de 0 a 3) con biestables D

**Ejercicio 12:**

Diseñe un contador síncrono ascendente/descendente de 0 a 7 con biestables J-K.

**Ejercicio 13:**

Diseñe un contador síncrono con biestables D que cuente de 5 a 0 (descendente). También se requiere que si el contador está en algún estado distinto del 0 al 5, vuelva a 0 en el siguiente pulso de reloj.

**Ejercicio 14:**

Diseñe un contador síncrono con biestables JK que siga la secuencia 1,4,2,7

**Ejercicio 15:**

Diseñe un contador síncrono con biestables JK y con biestables D que siga la secuencia 0,1,3,2,6,7,5,4

**Ejercicio 16:**

Diseñe un circuito con biestables JK que detecte en la entrada X la secuencia "101" poniendo la salida Z a 1.

**Ejercicio 17:**

Diseñe un circuito con biestables D que detecte en la entrada X cuatro "1" seguidos poniendo la salida Z a 1.

**Ejercicio 18**

Diseñe un circuito con una entrada X y una salida Y que se deberá poner a "1" si los dos últimos bits de la entrada fueron iguales, o a "0" si fueron diferentes.