

TEMARIO DE LABORATORIO DE ARQUITECTURA DE COMPUTADORES (SIN DOCENCIA)

I.T. Informática de Gestión (curso 2010- 2011)

NORMAS Y TEMARIO:

Tema 1: Introducción al lenguaje de modelado VHDL

- Realización de una práctica de simulación con el VHDL en el entorno del Vsystem.

Tema 2: Operaciones de transferencia

- Registros y búferes.
- Operaciones elementales de transferencia.
- Cálculo de la frecuencia máxima.

Tema 3: La unida aritmético lógica

- Sumador con propagación de acarreo.
- Multiplexores.
- ALU.
- Registro de estado.

Tema 4: La memoria

- Banco de registros.
- Asociación de memorias RAM.

Tema 5: La Unida de Control

- Diseño cableado de la unidad de control.
- Registro de instrucción.

Tema 6: Ejecución de instrucciones

- Diseño estructural de un computador elemental.
- Ejecución de un programa a partir de instrucciones máquina.

BIBLIOGRAFÍA:

- Rico, R., Marcos, S. *Simulación de arquitecturas de computadores mediante lenguaje VHDL*. Ed. Servicio de Publicaciones U.A.H. 1998
- Pardo, F., Boluda, J.A. *VHDL: Lenguaje para síntesis y modelado de circuitos*. Ed. Ra-ma. 1999
- Terés, L., Torroja, Y., Olcoz, S., Villar, E., *VHDL: Lenguaje estándar de diseño electrónico*. Ed. McGraw Hill. 1997

EVALUACIÓN

Arquitectura de Computadores es una asignatura a extinguir con la entrada de los nuevos planes de grado.

El alumno deberá realizar todas las prácticas. Pero no hay que presentarlas. Si se tienen dudas se puede acudir a las tutorías. Se da un calendario orientativo.

Habr, adems un examen final individual escrito de la asignatura en las fechas indicadas por la Escuela.

El estudiante deber preparar la asignatura de manera libre y presentarse a un examen final. Todo el material docente: transparencias, bibliografa recomendada, ejercicios, soluciones a los ejercicios y exmenes de cursos anteriores estar disponible en la pgina Web de la asignatura.

El alumno deber entregar una ficha al profesor.

PROFESORES QUE IMPARTEN EL LABORATORIO:

PROFESORES QUE IMPARTEN LA ASIGNATURA

D^a. Juana Mara Lpez Fernndez

DE-324 jmlopez@aut.uah.es

<http://atc2.aut.uah.es/~juani/>

Tutoras: Martes de 3 a 5 h y jueves de 12 a 2h

D. Jos Miguel Fernndez Fructuoso

DN-248 jomifdez@aut.uah.es

<http://atc2.aut.uah.es/~fructuoso/>

PGINA WEB DE LA ASIGNATURA

<http://atc2.aut.uah.es/~ravicente/asignaturas/lac/lac.htm>

CALENDARIO DE LAS PRCTICAS (ORIENTATIVO)

Semana / Sesin	Contenido de laboratorio
01 ^a	<ul style="list-style-type: none">• Presentacin de la asignatura
02 ^a	<ul style="list-style-type: none">• Tema 1: Introduccin al lenguaje de modelado VHDL
03 ^a	<ul style="list-style-type: none">• Tema 1: Introduccin al lenguaje de modelado VHDL
04 ^a	<ul style="list-style-type: none">• Tema 2: Operaciones de transferencia
05 ^a	<ul style="list-style-type: none">• Tema 2: Operaciones de transferencia
06 ^a	<ul style="list-style-type: none">• Tema 3: La unidad aritmtico-lgica
07 ^a	<ul style="list-style-type: none">• Tema 3: La unidad aritmtico-lgica

08 ^a	<ul style="list-style-type: none">• Tema 3: La unidad aritmético-lógica
09 ^a	<ul style="list-style-type: none">• Tema 4: La memoria
10 ^a	<ul style="list-style-type: none">• Tema 4: La memoria
11 ^a	<ul style="list-style-type: none">• Tema 4: La memoria
12 ^a	<ul style="list-style-type: none">• Tema 5: La Unidad de Control
13 ^a	<ul style="list-style-type: none">• Tema 5: La Unidad de Control
14 ^a	<ul style="list-style-type: none">• Tema 5: La Unidad de Control

Todo el material docente: transparencias, bibliografía recomendada, ejercicios, soluciones a los ejercicios y exámenes de cursos anteriores resueltos estará disponible en la página Web de la asignatura.