

EXAMEN DE JUNIO DE 2006. I. T. Informática de Gestión

Duración: 2 horas

MODELOS VHDL DE LOS COMPONENTES:

```
ENTITY and2 IS
    GENERIC (retardo: TIME := 2 ns);
    PORT (e1, e2: IN BIT; sal: OUT BIT);
END and2;

ARCHITECTURE comportamiento OF and2 IS
...
END comportamiento;
```

```
USE WORK.arq_pack.ALL;
ENTITY registro8 IS
    GENERIC(retardo_carga:TIME:=10 ns);
    PORT(entrada:IN vector_bus; control:IN BIT:= '0';
        salida:OUT vector_bus:=('0','0','0','0','0','0','0','0'));
END registro8;

ARCHITECTURE comportamiento OF registro8 IS
...
END comportamiento;
```

```
USE WORK.arq_pack.ALL;
ENTITY buffer8 IS
    GENERIC(retardo_transferencia:TIME:=15 ns;retardo_Z:TIME:=10 ns);
    PORT(entrada:IN vector_bus; control:IN BIT:= '0';
        salida:OUT vector_bus);
END buffer8;

ARCHITECTURE comportamiento OF buffer8 IS
...
END comportamiento;
```

```
USE WORK.arq_pack.ALL;
ENTITY sum_8bits IS
PORT (ope_a, ope_b:IN vector_bus;
    carry_in:IN BIT;
    carry_out:OUT BIT;
    suma:OUT vector_bus;
END sum_8bits;

ARCHITECTURE estructural OF sum_8bits IS
    COMPONENT sum_elemental
        PORT(a, b, c_in:IN BIT; s,c_out:OUT BIT);
    END COMPONENT
...
END estructural;
```

```
USE WORK.arq_pack .ALL;
ENTITY mux31 IS
GENERIC (retardo_mux: TIME := 12 ns);
PORT (????);
END mux31;

ARCHITECTURE comportamiento OF mux31 IS
...
END comportamiento;
```

```

ENTITY reloj IS
    GENERIC(periodo:TIME:=?? ns);
    PORT(reloj:OUT BIT:= '0');
END reloj;

ARCHITECTURE comportamiento OF reloj IS
...
END comportamiento;
    
```

```

PACKAGE arq_pack IS
    TYPE tri_estado IS ('0', '1', 'Z');
    TYPE vector_bus IS ARRAY (7 DOWNTO 0) OF tri_estado;
    TYPE array_vector_bus IS ARRAY (INTEGER RANGE <>) OF vector_bus;
    FUNCTION resolucion (entrada: array_vector_bus) RETURN vector_bus;
    --la señal del bus será la resuelta
    SUBTYPE bus_resuelto IS resolucion vector_bus;
    PROCEDURE logico_entero(VARIABLE vector:IN BIT_VECTOR;
        VARIABLE entero:OUT INTEGER);
    PROCEDURE entero_logico(VARIABLE entero:IN INTEGER;
        VARIABLE vector:OUT BIT_VECTOR);
END arq_pack;
PACKAGE BODY arq_pack IS
    .....
END arq_pack;
    
```

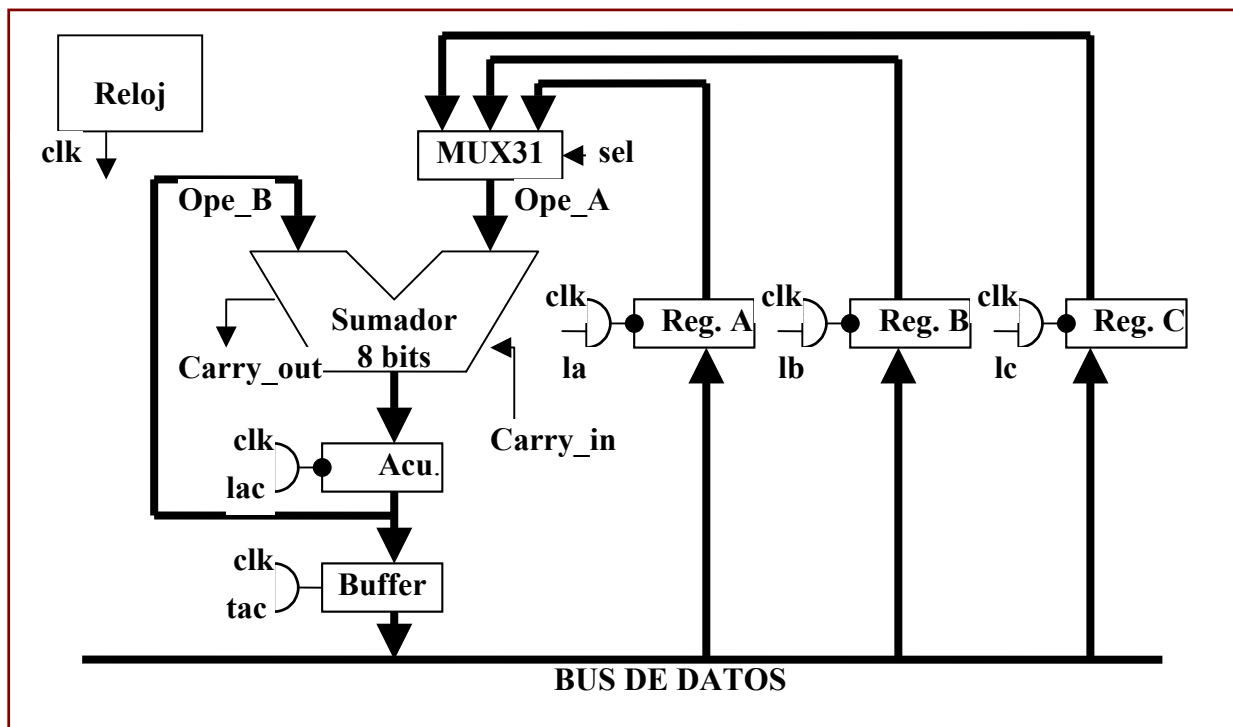
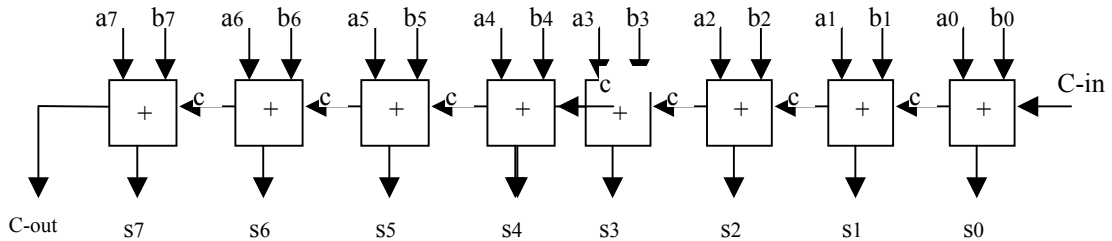


Figura 1.

Se incluyen los modelos VHDL de todos los elementos. La señal de carga (control) de los registros es activa por flanco de bajada y el control de los buffers es activo a nivel alto.

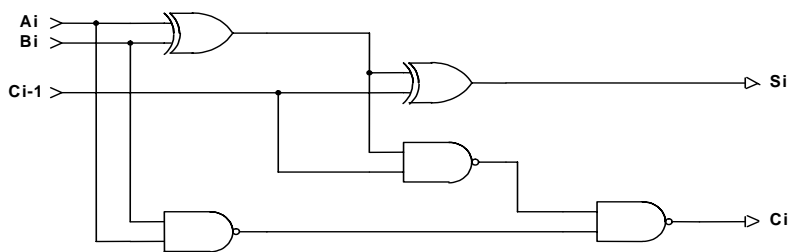
1.- Desarrollar el modelo VHDL estructural del circuito de la figura 1. (3 Puntos)

2.- El sumador de la figura 1 es un sumador de 8 bits con propagación de acarreo.



Cada una de las celdas tiene la siguiente implementación:

Retardo de la puerta **XOR = 2 ns** Retardo de la puerta **NAND = 3 ns**.



¿Cuál es el retardo del sumador de 8 bits en el caso más desfavorable? (Distinguir el tiempo para obtener la suma total y el tiempo para obtener C_{out}). (2 puntos).

3.- Calcular la frecuencia máxima de reloj de forma que en un solo periodo realice una operación completa entre un operando disponible en el bus de datos a cargar a través de registro B y otro disponible en la salida del registro acumulador (Acu). El resultado válido debe estar presente a la salida del sumador en la transición de bajada de reloj que finaliza dicho periodo. Dibujar el cronograma correspondiente en la figura 2. (3 Puntos).

4.- Realizar el modelo VHDL comportamental del bloque multiplexor 3X1 (MUX31). (2 Puntos).

Apellidos, Nombre:.....

Reloj				
Lb				
Sel				
Lac				
Tac				
Bus_Datos				
Sal_buff				
Suma				
Salida Acu				
	T=0			

Figura 2.