

Apellidos, nombre: _____

Normas del examen:

- Los alumnos que hayan realizado los trabajos evaluables únicamente deberán realizar la primera parte del examen y obtener una **nota mínima de 2 puntos**.
- Los alumnos que **no** hayan realizado los trabajos evaluables, o quieran subir nota (renunciando a la obtenida mediante los trabajos) deberán realizar las dos partes del examen y obtener una **nota mínima de 2 puntos en ambas partes**.
- Solamente existe una opción válida en las preguntas de respuesta múltiple.
- No se podrá emplear documentación adicional a la del examen.
- No se podrá emplear ningún tipo de calculadora, ni teléfono móvil, ni computador portátil o PDA.
- No se podrán desgrapar las hojas.
- Tiempo de la primera parte del examen 1 hora y 15 minutos.
- Tiempo de la segunda parte del examen 1 hora y 15 minutos.
- Existirá un descanso de 5 minutos entre ambas partes del examen.

Primera Parte (5 puntos)

(Se debe obtener una calificación mínima de 2 puntos)

Preguntas de opción múltiple (2 puntos)

Pregunta correcta: + 0,20 Pregunta errónea: – 0,07 Pregunta sin contestar: 0

1. Indique la respuesta incorrecta.

- a) Los operandos explícitos en una arquitectura de pila pueden ser 2 ó 3.
- b) Las arquitecturas de registros de propósito general tienen solamente operandos explícitos.
- c) Los registros son más fáciles de utilizar por un compilador y se pueden usar de manera más efectiva que otras formas de almacenamiento interno.
- d) La pila es un modelo sencillo para la evaluación de expresiones (polaca inversa).

2. Se dispone de los números A= 11 y B= 10. Empleando para su multiplicación el algoritmo de suma-desplazamiento, el valor final del registro P1 (la parte alta del registro de desplazamiento) será:

- a) 00
- b) 11
- c) 01
- d) Otro: _____

justificar la respuesta en este rectángulo

3. El SPEC CPU 2000

- a) Es un benchmark desarrollado por INTEL para poder medir el rendimiento de sus procesadores.
- b) Contiene dos benchmark suites: CINT2000 y CFP2000.
- c) Fue creado con el fin de proveer una medida de rendimiento en una única arquitectura.
- d) No tiene en cuenta el efecto del compilador.

4. ¿Cuál de las siguientes palabras de 32 bits quedarían almacenadas de igual forma en memoria, empleando indistintamente little-endian o big-endian?.

- a) 33 55 33 55
- b) 33 33 55 55
- c) 55 55 33 33
- d) 33 55 55 33

5. Indique el resultado **correcto**: al extender el número de 8 bits en signo-magnitud 1110 0011 a 16 bits

- a) 1111 1111 1110 0011.
- b) 1000 0000 1110 0011.
- c) 1000 0000 0110 0011.
- d) Otro valor: _____

6. Una Unidad de Control diseñada con el método de las células de retardo

- a) Emplea nanoprogramación
- b) Emplea microprogramación horizontal si no se usa codificación y microprogramación vertical si las microinstrucciones están altamente codificadas
- c) Si se empleara en su construcción un contador módulo K con un decodificador 1 entre K, podrían surgir problemas de compatibilidad.
- d) Su diseño está basado en implementar el diagrama de estados mediante unos elementos que únicamente propagan un retardo.
7. Un ordenador con un procesador de 32 bits, tiene dos módulos de memoria caché independientes (instrucciones y datos) estructurados en bloques de 16 bytes y con un tamaño ambas de 64 Kbytes. La memoria caché de instrucciones tiene una política asociativa por conjuntos de dos bloques y la caché de datos una política totalmente asociativa. ¿Qué afirmación sería incorrecta?
- a) El número de conjuntos en memoria caché de datos sería = 2^{12}
- b) El número de bloques en memoria caché de instrucciones sería = 2^{12}
- c) La etiqueta en la memoria caché de datos tendría 28 bits
- d) El número de bloques de memoria principal sería = 2^{28}
8. ¿Cuál de los siguientes enunciados es falso?
- a) En la entrada-salida programada la CPU está dedicada completamente a la operación de entrada salida y a comprobar la disponibilidad del periférico.
- b) En la entrada-salida mediante acceso directo a memoria (DMA), los periféricos avisan a la CPU cuando están listos para ser atendidos.
- c) En la entrada salida por interrupciones el periférico realiza la petición de servicio mediante una señal de control específica.
- d) La resolución de prioridades por daisy-chain da prioridad al dispositivo más próximo.
9. Qué ocurriría al intentar escribir en una memoria caché que inicialmente está vacía y que tiene las siguientes características: caché asociativa por conjuntos de cuatro bloques, política de reemplazo LIFO y escritura aplazada sin ubicación.
- a) Se produce un fallo de escritura y escribimos únicamente en memoria principal
- b) Se produce un fallo de escritura. Llevamos el bloque a memoria caché y escribimos a la vez en memoria principal y en memoria caché
- c) Se produce un fallo de escritura. Llevamos el bloque a memoria caché y escribimos únicamente en memoria caché activando el dirty bit.
- d) Ninguna de las anteriores porque no conocemos la capacidad ni de la memoria caché ni de la memoria principal o el tamaño del bus de datos
10. Aplicando la técnica de truncación sobre el número expresado en complemento a2: 0000 0001 100 (los tres últimos bits son dos de guarda y uno retenedor), el resultado correcto sería:
- a) 0000 0011
- b) 0000 0010
- c) 0000 0000
- d) Otro valor: 0000 0001

Desarrollo teórico (1 punto)

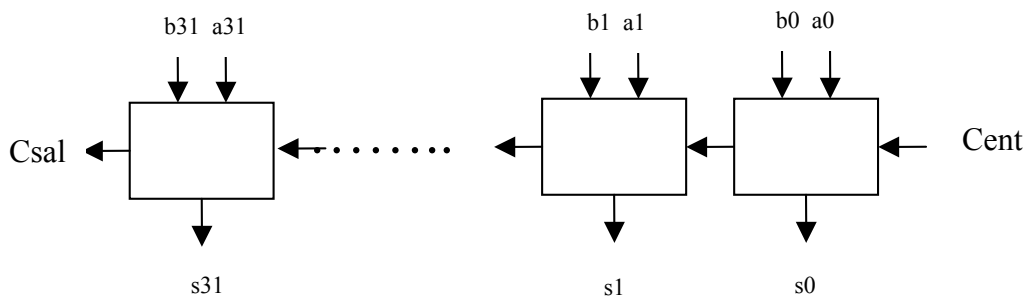
Describir en qué consiste la tecnología VLIW

Mirar apuntes de teoría



Cuestiones cortas (2 puntos)**Cuestión 1****(1 punto)**

Se dispone de un sumador con propagación de acarreo de 32 bits, calcular el retardo total para la suma y para el acarreo de salida, sabiendo que el retardo del sumador elemental de un bit para la suma es de 4 ns. y de 6 ns. para el acarreo de salida (0,5 puntos)



Retardo para la suma = $4 \times 32 = 128$ ns.

Retardo para el acarreo de salida = $128 + 2 = 130$ ns.

Calcular el valor de la función P (para los 32 bits de los operandos) y determinar si en función de su valor un acarreo de entrada Cent se propagaría hasta la salida (acarreo de salida Csal) con los números abajo expresados (0,5 puntos)

$a_i = 0101\ 0101\ 0101\ 0101$

$b_i = 1010\ 1010\ 1010\ 1010$

Si se propagaría porque la función p_i (xor bit a bit) es uno en todos los casos y por tanto la función $P = p_1 \times p_2 \times \dots \times p_{31} = 1$

Cuestión 2**(1 punto)**

Diseñar un código de operación extendida que permita codificar en una instrucción de 32 bits la siguiente información:

- 15 instrucciones con dos direcciones de 14 bits.
- 127 instrucciones con tres direcciones de 7 bits.
- 260 instrucciones con una dirección de 10 bits.

Para el primer formato

Código operación	Dirección 1	Dirección 2
4 bits	14 bits	14 bits

Para el segundo formato, sobra una combinación del primero que puede ser la 1111

1111	Cód. operación	Dirección 1	Dirección 2	Dirección 3
4 bits	7 bits	7 bits	7 bits	7 bits

Para el tercer formato, sobran varias combinaciones del segundo, se puede poner la 1111111

1111	1111111	Cód. operación	Dirección	No usado
4 bits	7 bits	9 bits	10 bits	2 bits