

## Normas del examen:

- Los alumnos que hayan realizado los trabajos evaluables únicamente deberán realizar la primera parte del examen y obtener una **nota mínima de 2 puntos**.
- Los alumnos que **no** hayan realizado los trabajos evaluables, o quieran subir nota (renunciando a la obtenida mediante los trabajos) deberán realizar las dos partes del examen y obtener una **nota mínima de 2 puntos en ambas partes**.
- Solamente existe una opción válida en las preguntas de respuesta múltiple.
- No se podrá emplear documentación adicional a la del examen.
- No se podrá emplear ningún tipo de calculadora, ni teléfono móvil, ni computador portátil o PDA.
- No se podrán desgrapar las hojas.
- Las contestaciones tanto a la parte de preguntas de opción múltiple como a la de las cuestiones se escribirán en el cuaderno de respuestas adjunto.
- Tiempo de la primera parte del examen 1 hora.
- Tiempo de la segunda parte del examen 1 hora y 30 minutos.
- Existirá un descanso de 10 minutos entre ambas partes del examen.

---

---

## Primera Parte (5 puntos)

## Primera Parte (5 puntos)

(Se debe obtener una calificación mínima de 2 puntos)

### Preguntas de opción múltiple (2 puntos)

Pregunta correcta: + 0,20 Pregunta errónea: - 0,07 Pregunta sin contestar: 0

(Se debe responder en el cuaderno de respuestas adjunto y no aquí)

- Indique cuál de los siguientes requisitos para diseñar un computador **no es** un requisito introducido por el sistema operativo:
  - a) Tamaño del espacio de memoria.
  - b) Seguridad.
  - c) Tiempo real.
  - d) Coma flotante.
- Indique la respuesta **correcta**, con respecto al “throughput” o productividad de un computador:
  - a) Es la cantidad de trabajo que puede ejecutar un computador en un tiempo determinado.
  - b) Es el tiempo que transcurre desde que se solicita un acceso a memoria hasta que se completa.
  - c) Es el tiempo que introduce el sistema operativo para resolver las operaciones de entrada-salida.
  - d) Es el tiempo que consume un proceso sin tener en cuenta las operaciones de entrada-salida ni las instrucciones del sistema operativo.
- Indique la respuesta **correcta**. Si queremos diseñar un formato de instrucción en el que el primero de los operandos sea un registro de 64 bits entre 8 posibles y el segundo una posición de memoria, para identificar el registro se necesitarán:
  - a) 64 bit
  - b) 4 bits
  - c) 3 bits
  - d) Ninguna de las anteriores
- Indique la respuesta **incorrecta** respecto a los modos de direccionamiento.
  - a) El modo de direccionamiento de una instrucción **no** influye en el número de ciclos que tardará en ejecutarse.
  - b) Los modos de direccionamiento permitidos influyen en el ciclo de reloj de la máquina.
  - c) El conjunto de los modos de direccionamiento que se permiten en una determinada máquina influirá en la complejidad del hardware.
  - d) La codificación de los modos de direccionamiento dependerá del rango permitido para los diferentes modos de direccionamiento.
- Indique el resultado **correcto**: al extender el número de 8 bits en complemento a dos 1100 0011 a 16 bits
  - a) 1111 1111 1100 0011.
  - b) 1000 0000 1100 0011.
  - c) 0000 0000 1100 0011.
  - d) Ninguna de las anteriores.

6. Indique el resultado **correcto** aplicando la técnica de redondeo al más próximo sobre el número expresado en complemento a 1: 1111 1111 **1 0 1** (se han resaltado en negrita los dos bits de guarda y el bit retenedor):
- a)0000 0000
  - b)0000 0001
  - c)1111 1111
  - d)1111 1110
7. Indique la respuesta **incorrecta** con respecto a la Unidad de Control.
- a)La Unidad de Control es una máquina de tipo combinacional.
  - b)El número de estados depende del número de operaciones elementales a realizar.
  - c)El diseño de la Unidad de Control puede ser cableado o microprogramado.
  - d)La Unidad de Control inicialmente se encuentra en un estado de espera y necesita una señal externa para cambiar de estado.
8. Indique la respuesta **incorrecta** con respecto a la Unidad de Control implementada mediante células de retardo:
- a)El diagrama de estados se implementa mediante unos elementos que únicamente proporcionan un retardo.
  - b)Las líneas de control se conectan a las salidas de las células de retardo que representan el estado en el que se deben activar.
  - c)La función de las células de retardo es la de sincronizar el secuenciamiento de las señales de control.
  - d)Una vez realizadas las conexiones se introducen varios pulsos por el circuito.
9. Indique la respuesta **incorrecta** respecto a las siguientes políticas de caché:
- a)La política de ubicación define la correspondencia entre bloques de MP y MCa.
  - b)La política de extracción indica qué y cuándo se envía información de MCa a Mp.
  - c)La política de reemplazo especifica qué bloque abandona MCa para dejar espacio si está llena.
  - d) La política de actualización decide cuándo se escribe en la MP.
10. Indique la respuesta **incorrecta**:
- a)Los datos de un vector presentan localidad temporal.
  - b)Las instrucciones de un programa presentan localidad espacial.
  - c)Los datos calculados y empleados en las operaciones consecutivas presentan localidad temporal.
  - d)Las instrucciones dentro de un bucle presentan localidad temporal.

**Cuestiones cortas (3 puntos)****Cuestión 1****(1 punto)**

Para un micro antiguo de 8 bits se desea diseñar un repertorio de instrucciones registro-registro mediante el empleo de la técnica de expansión de código. Los grupos de instrucciones trabajan con 8 registros de 8 bits. Se desean diseñar:

- 3 instrucciones que empleen dos registros.
- 6 instrucciones que empleen un registro.
- 16 instrucciones que no tengan ningún operando.

**Cuestión 2****(1 punto)**

Se cuenta con un sumador con anticipación de acarreo por bloque de 4 bits. Se desean sumar los dos números de 16 bits siguientes representados en binario.

A = 1111 1111 1111 1111 y B = 0110 0110 0110 0110

Calcúlense los valores de los  $g_i$ ,  $p_i$ ,  $P_i$  y  $G_i$  y del acarreo  $C_4$ . Se supone un acarreo de entrada  $c_0 = 1$

**Cuestión 3****(1 punto)**

Se tiene un sistema de memoria que consta de una memoria principal de 4 Gb de capacidad y de una memoria cache unificada para datos e instrucciones de 128 Kb de capacidad. Si los bloques son de 8 bytes, la política de ubicación es asociativa por conjuntos de 8 bloques, indicar la etiqueta, el conjunto y la posición a los que hacer referencia la dirección 9ABC DEF0h.

## Segunda Parte (4 puntos)

(Se debe obtener una calificación mínima de 2 puntos)

### Problema 1. (2 puntos)

Sea un ordenador con un sistema de memoria de las siguientes características:

- Memoria principal:
  - Capacidad 4 GB.
  - Entrelazada simple de orden inferior con 16 módulos.
  - Tiempo de acceso de 32 ns.
- Memoria cache:
  - Dos módulos de memoria caché independientes (instrucciones y datos)
  - Capacidad de ambas caches de 256 Kbytes.
  - Tiempo de acceso de 4 ns.
  - Bloques de 16 bytes.
  - **Política de ubicación:** asociativa por conjuntos de cuatro bloques.
  - **Política de actualización:** escritura inmediata sin ubicación.
  - **Política de reemplazo:** FIFO.

En este computador se ejecuta el siguiente código:

```
i := 1;
WHILE (i < 3) DO
  BEGIN
    A := V1(i);
    B := V2(i);
    IF A > B
      THEN BEGIN
        Greatest(i) := A;
        Lest(i) := B;
      END
    ELSE BEGIN
        Greatest(i) := B;
        Lest(i) := A;
      END;
    Add(i) := Add(i) + Greatest(i);
    i := i + 1;
  END;
```

Se sabe que la instrucción  $Add(i) := Add(i) + Greatest(i)$  implica tres accesos a memoria: dos de lectura  $Add(i)$  y  $Greatest(i)$  y otro de escritura del resultado en  $Add(i)$

También se sabe que la variable  $i$  se encuentra ubicada en un registro, inicializada a 1.

Finalmente las direcciones de memoria de las variables son:

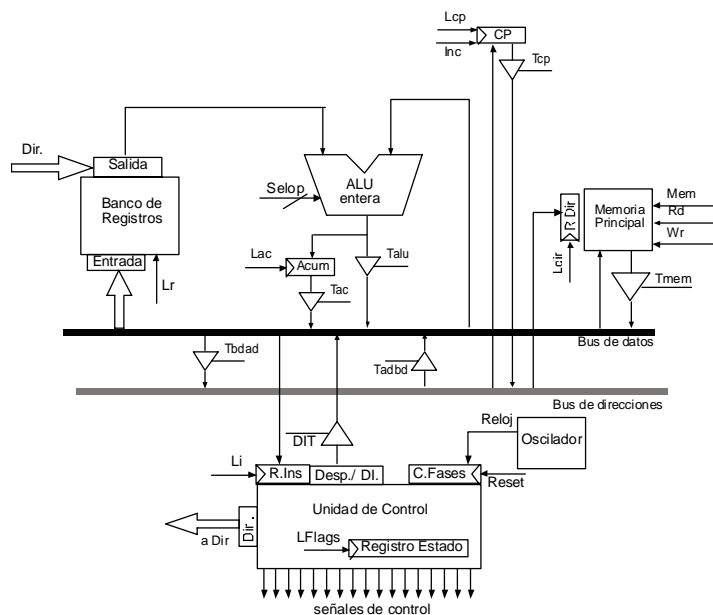
Greatest	3C89 2365
Lest	3D89 236A
Add	0019 2367
V1	0039 2364
V2	0029 2368

Si inicialmente, la memoria caché de datos se encuentra vacía:

- Indicar la correspondencia entre una dirección de memoria principal y una de memoria cache **(0,5 puntos)**
- Indicar la traza de los accesos, a los datos, realizada por este fragmento de código **(0,25 puntos)**
- Indicar en cuáles de las anteriores referencias a la memoria principal producen fallos en la memoria caché y que acción se realiza. **(0,5 puntos)**
- Calcular la tasa de aciertos de la memoria caché de datos para el anterior fragmento de programa. **(0,25 puntos)**
- Calcular el tiempo de ejecución del fragmento del programa anterior debido únicamente a los accesos a memoria. **(0,5 puntos)**

**Problema 2. (2 puntos)**

Realizar el formato de microinstrucción para el computador elemental siguiente



Las características del computador son las siguientes:

- ALU que se alimenta de dos entradas y permite realizar 16 operaciones, entre las que destacan: transferir la entrada de la ALU a la salida, y las operaciones de resta  $A-B$  y de  $B-A$ , ambas en complemento a 2.
- Contiene un registro acumulador para almacenar resultados temporales.
- Banco de registros de 8 registros, con una puerta de entrada y una puerta de salida.
- Contador de programa con posibilidad de autoincremento y conectado al registro de direcciones.
- Memoria principal de 128 Mbytes, organizada en palabras de 16 bits.
- Se considerará que las lecturas y escrituras en memoria se realizan en dos periodos de reloj.
- Tanto el bus de datos como el bus de direcciones, son de 16 bits.
- Se cuenta con la posibilidad de transferir el contenido del bus de datos, al bus de direcciones
- El tamaño de la memoria de control es de 32K

### Primera Parte (6 puntos)

(Se debe obtener una calificación mínima de 2 puntos)

#### Preguntas de opción múltiple (3 puntos)

Pregunta correcta: + 0,30 Pregunta errónea: - 0,10 Pregunta sin contestar: 0

(Se debe responder en el cuaderno de respuestas adjunto y no aquí)

Nombre y apellidos: \_\_\_\_\_

Bien: |\_\_\_\_\_|

Mal: |\_\_\_\_\_|

No contestadas: |\_\_\_\_\_|

Pregunta 1	a) <input type="checkbox"/>	b) <input type="checkbox"/>	c) <input type="checkbox"/>	d) <input checked="" type="checkbox"/>
Pregunta 2	a) <input checked="" type="checkbox"/>	b) <input type="checkbox"/>	c) <input type="checkbox"/>	d) <input type="checkbox"/>
Pregunta 3	a) <input type="checkbox"/>	b) <input type="checkbox"/>	c) <input checked="" type="checkbox"/>	d) <input type="checkbox"/>
Pregunta 4	a) <input checked="" type="checkbox"/>	b) <input type="checkbox"/>	c) <input type="checkbox"/>	d) <input type="checkbox"/>
Pregunta 5	a) <input checked="" type="checkbox"/>	b) <input type="checkbox"/>	c) <input type="checkbox"/>	d) <input type="checkbox"/>
Pregunta 6	a) <input type="checkbox"/>	b) <input checked="" type="checkbox"/>	c) <input type="checkbox"/>	d) <input type="checkbox"/>
Pregunta 7	a) <input checked="" type="checkbox"/>	b) <input type="checkbox"/>	c) <input type="checkbox"/>	d) <input type="checkbox"/>
Pregunta 8	a) <input type="checkbox"/>	b) <input type="checkbox"/>	c) <input type="checkbox"/>	d) <input checked="" type="checkbox"/>
Pregunta 9	a) <input type="checkbox"/>	b) <input checked="" type="checkbox"/>	c) <input type="checkbox"/>	d) <input type="checkbox"/>
Pregunta 10	a) <input checked="" type="checkbox"/>	b) <input type="checkbox"/>	c) <input type="checkbox"/>	d) <input type="checkbox"/>

**Cuestión 1**

**(1 punto)**

- 3 instrucciones que empleen dos registros.

Código operación	Registro 1	Registro 2
2	3	3

Sobra la combinación 11

- 6 instrucciones que empleen un registro.

11	Código operación	Registro 1
2	3	3

Sobran dos combinaciones: 110 y 111.



- 16 instrucciones que no tengan ningún operando

11	11	Código operación
2	2	4

**Cuestión 2****(1 punto)**

$$a_i = 1111 \ 1111 \ 1111 \ 1111$$

$$b_i = 0110 \ 0110 \ 0110 \ 0110$$

$$g_i = 0110 \ 0110 \ 0110 \ 0110$$

$$p_i = 1001 \ 1001 \ 1001 \ 1001$$

$$P_0 = p_3 \times p_2 \times p_1 \times p_0 = 1 \times 0 \times 0 \times 1 = 0$$

$$P_1 = p_7 \times p_6 \times p_5 \times p_4 = 1 \times 0 \times 0 \times 1 = 0$$

$$P_2 = p_{11} \times p_{10} \times p_9 \times p_8 = 1 \times 0 \times 0 \times 1 = 0$$

$$P_3 = p_{15} \times p_{14} \times p_{13} \times p_{12} = 1 \times 0 \times 0 \times 1 = 0$$

$$G_0 = g_3 + (p_3 \times g_2) + (p_3 \times p_2 \times g_1) + (p_3 \times p_2 \times p_1 \times g_0) = 1$$

$$G_1 = g_7 + (p_7 \times g_6) + (p_7 \times p_6 \times g_5) + (p_7 \times p_6 \times p_5 \times g_4) = 1$$

$$G_2 = g_{11} + (p_{11} \times g_{10}) + (p_{11} \times p_{10} \times g_9) + (p_{11} \times p_{10} \times p_9 \times g_8) = 1$$

$$G_3 = g_{15} + (p_{15} \times g_{14}) + (p_{15} \times p_{14} \times g_{13}) + (p_{15} \times p_{14} \times p_{13} \times g_{12}) = 1$$

Con lo que C4 será:

$$C_4 = G_3 + (P_3 \times G_2) + (P_3 \times P_2 \times G_1) + (P_3 \times P_2 \times P_1 \times G_0) + (P_3 \times P_2 \times P_1 \times P_0 \times c_0) = 1$$

**Cuestión 3****(1 punto)**

$$\text{Nº de bloques de memoria principal} = \frac{2^{32} \text{ bytes}}{2^3 \text{ bytes/bloque}} = 2^{29} \text{ bloques de memoria principal}$$

$$\text{Nº de bloques en memoria caché} = \frac{2^{17} \text{ bytes}}{2^3 \text{ bytes/bloque}} = 2^{14} \text{ bloques de memoria caché}$$

$$\text{Nº de conjuntos en memoria caché} = \frac{2^{14} \text{ bloques}}{2^3 \text{ bloques/conjunto}} = 2^{11} \text{ conjuntos de memoria caché}$$

$$\text{Nº bloques de memoria principal ubicables en un conjunto de la memoria caché} = \frac{2^{29} \text{ bloques MP}}{2^{11} \text{ conjuntos MCDs}} = 2^{18}$$

Etiqueta	Conjunto	Posición
18	11	3

Con lo que la dirección 9ABC DEF0h quedaría como:

Etiqueta	Conjunto	Posición
100110101011110011 (26AF3h)	01111011110 (3DEh)	000 (0)
18	11	3

## Solución problema 1 (2 puntos)

### Apartado a)

(0,5 puntos)

La capacidad de la memoria principal es de  $2^{32}$  bytes, y se encuentra estructurada en bloques de tamaño 16 bytes =  $2^4$  bytes/bloque, así se puede calcular que el número de bloques de memoria principal es de:

$$\text{Nº de bloques de memoria principal} = \frac{2^{32} \text{ bytes}}{2^4 \text{ bytes/bloque}} = 2^{28} \text{ bloques de memoria principal}$$

Por otro lado, la memoria cache tiene una política de ubicación asociativa por conjuntos de dos bloques con una capacidad de 256 Kbytes =  $2^8 \cdot 2^{10}$  bytes, estructuradas en bloques de 16 bytes/bloque. Por tanto, el número de bloques de la memoria cache es de:

$$\text{Nº de bloques en memoria cache} = \frac{2^{18} \text{ bytes}}{2^4 \text{ bytes/bloque}} = 2^{14} \text{ bloques de memoria cache}$$

Ahora calcularemos el número de conjuntos de memoria cache

$$\text{Nº de conjuntos en memoria cache} = \frac{2^{14} \text{ bloques}}{2^2 \text{ bloques/conjunto}} = 2^{12} \text{ conjuntos de memoria cache}$$

De esta manera, un bloque de memoria principal se ubica en un bloque del conjunto correspondiente a la posición  $i \bmod 2^{12}$  de memoria cache, siendo  $i$  el número de bloque de memoria principal. Por tanto, el número de bloques de memoria principal que pueden ubicarse en un conjunto de memoria cache de datos será:

$$\text{Nº bloques de memoria principal ubicables en un conjunto de la memoria cache} = \frac{2^{28} \text{ bloques MP}}{2^{12} \text{ conjuntos MCA}} = 2^{16}$$

Etiqueta	Conjunto	Posición
16	12	4

**Solución problema 1 (2 puntos)** (continuación)

Apartados b) y c)

APARTADO b)			APARTADO c)
Acceso	Dirección de memoria principal	Correspondencia en memoria caché	Acierto/Fallo Lect. en Mca
1°	V1 (1) 0039 236 5h	Etiqueta: 39h Conjunto: 236h Palabra: 5	Fallo lectura → Traer bloque de MP
2°	V2(1) 0029 236 9h	Etiqueta: 29h Conjunto: 236h Palabra: 9	Fallo lectura → Traer bloque de MP
3°	Greatest(1) 3C89 236 6h	Etiqueta: 3C89h Conjunto: 236h Palabra: 6	Fallo escritura → Escribir en MP y no traer bloque al ser sin ubicación
4°	Least(1) 3D89 236 Bh	Etiqueta: 3D89h Conjunto: 236h Palabra: B	Fallo escritura → Escribir en MP y no traer bloque al ser sin ubicación
5°	Add(1) 0019 236 8h	Etiqueta: 19h Conjunto: 236h Palabra: 8	Fallo lectura → Traer bloque de MP
6°	Greatest(1) 3C89 236 6h	Etiqueta: 3C89h Conjunto: 236h Palabra: 6	Fallo lectura → Traer bloque de MP
7°	Add(1) 0019 236 8h	Etiqueta: 19h Conjunto: 236h Palabra: 8	Acierto de escritura → escribir a la vez en Mca y en MP al ser escritura inmediata
8°	V1 (2) 0039 236 6h	Etiqueta: 39h Conjunto: 236h Palabra: 6	Acierto de lectura → Acceder a Mca
9°	V2(2) 0029 236 Ah	Etiqueta: 29h Conjunto: 236h Palabra: A	Acierto de lectura → Acceder a Mca

**Solución problema 1 (2 puntos)** (continuación)**Apartados b) y c)** (continuación)

APARTADO b)			APARTADO c)
Acceso	Dirección de memoria principal	Correspondencia en memoria caché	Acierto/Fallo Lect. en Mca
10°	<b>Greatest(2)</b> <b>3C89 236 7h</b>	Etiqueta: 3C89h Conjunto: 236h Palabra: 7	Acierto de escritura → escribir a la vez en Mca y en MP al ser escritura inmediata
11°	<b>Least(2)</b> <b>3D89 236 Ch</b>	Etiqueta: 3D89h Conjunto: 236h Palabra: C	Fallo escritura → Escribir en MP y no traer bloque al ser sin ubicación
12°	<b>Add(2)</b> <b>0019 236 9h</b>	Etiqueta: 19h Conjunto: 236h Palabra: 9	Acierto de lectura → Acceder a Mca
13°	<b>Greatest(2)</b> <b>3C89 236 7h</b>	Etiqueta: 3C89h Conjunto: 236h Palabra: 7	Acierto de lectura → Acceder a Mca
14°	<b>Least(2)</b> <b>0019 236 9h</b>	Etiqueta: 19h Conjunto: 236h Palabra: 9	Acierto de escritura → escribir a la vez en Mca y en MP al ser escritura inmediata

**Solución problema 1 (2 puntos)** *(continuación)***Apartado d)****(0,25 puntos)**

Tasa de aciertos (Hr) = 7 aciertos / 14 accesos totales = 0,5 → 50 %

**Apartado e)****(0,5 puntos)**

Acceso	Acceso a Mca	Acceso a MP	Comentario
1°	1	1	Accedo a Mca, fallo y traigo el bloque leyendo de MP.
2°	1	1	Accedo a Mca, fallo y traigo el bloque leyendo de MP.
3°	1	1	Accedo a Mca, fallo al escribir y escribo solamente en MP por ser sin ubicación.
4°	1	1	Accedo a Mca, fallo al escribir y escribo solamente en MP por ser sin ubicación.
5°	1	1	Accedo a Mca, fallo y traigo el bloque leyendo de MP.
6°	1	1	Accedo a Mca, fallo y traigo el bloque leyendo de MP.
7°	1	1	Acierto de escritura. Al ser escritura inmediata escribo a la vez en MP y en Mca tomando solamente el tiempo del máximo de los dos tiempos
8°	1		Accedo a Mca al ser acierto de lectura
9°	1		Accedo a Mca al ser acierto de lectura
10°	1	1	Acierto de escritura. Al ser escritura inmediata escribo a la vez en MP y en Mca tomando solamente el tiempo del máximo de los dos tiempos
11°	1	1	Accedo a Mca, fallo al escribir y escribo solamente en MP por ser sin ubicación.
12°	1		Accedo a Mca al ser acierto de lectura
13°	1		Accedo a Mca al ser acierto de lectura
14°	1	1	Acierto de escritura. Al ser escritura inmediata escribo a la vez en MP y en Mca tomando solamente el tiempo del máximo de los dos tiempos

**Solución problema 2. (2 puntos)**

<b>Señales de carga de registros y Reset</b>	
B0	<b>Reset</b>
B1	<b>Lflags</b>
B2	<b>LI</b>
B3	<b>LR</b>
B4	<b>Lac</b>
B5	<b>Ldir</b>

**Codificación de las señales al bus de datos**

<b>Acceso al bus de datos</b>			
B8	B7	B6	
0	0	0	<b>Tac</b>
0	0	1	<b>Talu</b>
0	1	0	<b>Tmem</b>
0	1	1	<b>Dit</b>
1	0	0	<b>Tadbd</b>
1	X	X	<b>Nop</b>

**Codificación de las señales al bus de direcciones**

<b>Acceso al bus de direcciones</b>		
B10	B9	
0	0	<b>Tbdad</b>
0	1	<b>Tcp</b>
1	X	<b>nop</b>

## Solución problema 2 (2 puntos) *(continuación)*

### Señales de la ALU

<i>Selección operación ALU</i>				
B14	B13	B12	B11	
0	0	0	0	<i>ADD</i>
0	0	0	1	<i>SUB</i>
0	0	1	0	<i>MUL</i>
0	0	1	1	<i>DIV</i>
0	1	0	0	<i>INC</i>
0	1	0	1	<i>Transf</i>
...	...	...	...	...
1	1	1	1	<i>NOT</i>

### Señales de acceso a la memoria

<i>Mem</i>	<i>R/W</i>	
B16	B15	
0	X	<i>nop</i>
1	0	<i>E</i>
1	1	<i>L</i>



## Solución problema 2 (2 puntos) (continuación)

### Señales de la unidad de direccionamiento

<i>Inc</i>	<i>Lcp</i>	
B18	B17	
0	0	<i>Incrementar CP</i>
0	1	<i>CP ← B. Datos</i>
1	0	<i>CP ← CP + B.dat</i>
1	1	<i>nop</i>

### Banco de registros

<i>Banco de registros</i>			
B21	B20	B19	
0	0	0	<i>A</i>
0	0	0	<i>B</i>
0	0	1	<i>C</i>
0	0	1	<i>D</i>
...	...	...	...
0	1	1	<i>H</i>

### Cumple la condición de microsalto

<i>Cond</i>	
B22	
0	<i>No cumple condición</i>
1	<i>Si cumple condición</i>

## Solución problema 2 (2 puntos) (continuación)

La instrucción lleva microsalto

<i>μSalto</i>	
B23	
0	<b>No lleva microsalto</b>
1	<b>Si lleva microsalot</b>

Bit de secuenciamiento: final de microprograma

<b>Fin</b> <i>μprg</i>	
B24	
0	<b>No es la última</b>
1	<b>Última microinstrucción</b>

La dirección de microsalto, suponiendo una memoria de control de 32k requeriría un total de 15 bits para especificarla. Tomamos entonces los bits b14-b0 solapando los campos de la ALU, del bus de datos / direcciones y las señales de carga de registros y reset.

Formato de microinstrucción sin salto

Fin	<i>μSalto</i>	<i>Cond</i>	Banco de registros			CP		Memoria		ALU: selección de operación				Bus direcciones		Bus datos			Carga de Registros y Reset					
<del>μPC</del>			b21	b20	b19	b18	b17	b16	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
b24	b23	b22	b21	b20	b19	b18	b17	b16	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0

Formato de microinstrucción con salto

Fin	<i>μSalto</i>	<i>Cond</i>	Bits no utilizados									Dirección de salto condicional o incondicional según valor de b22 o b23												
<del>μPC</del>			b21	b20	b19	b18	b17	b16	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
b24	b23	b22	b21	b20	b19	b18	b17	b16	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0