

Normas del examen:

- Los alumnos que hayan realizado los trabajos evaluables únicamente deberán realizar la primera parte del examen y obtener una **nota mínima de 2 puntos**.
- Los alumnos que **no** hayan realizado los trabajos evaluables, o quieran subir nota (renunciando a la obtenida mediante los trabajos) deberán realizar las dos partes del examen y obtener una **nota mínima de 2 puntos en ambas partes**.
- Solamente existe una opción válida en las preguntas de respuesta múltiple.
- No se podrá emplear documentación adicional a la del examen.
- No se podrá emplear ningún tipo de calculadora, ni teléfono móvil, ni computador portátil o PDA.
- No se podrá desgrapar las hojas.
- Las contestaciones tanto a la parte de preguntas de opción múltiple como a la de las cuestiones se escribirán en el cuaderno de respuestas adjunto.
- Tiempo de la primera parte del examen 1 hora.
- Tiempo de la segunda parte del examen 1 hora y 30 minutos.
- Existirá un descanso de 10 minutos entre ambas partes del examen.

Primera Parte (6 puntos)

(Se debe obtener una calificación mínima de 2 puntos)

Preguntas de opción múltiple (3 puntos)

Pregunta correcta: + 0,30 Pregunta errónea: - 0,1 Pregunta sin contestar: 0

(Se debe responder en el cuaderno de respuestas adjunto y no aquí)

1. Indique la respuesta **correcta** respecto al tiempo de ejecución de un programa:
 - a)Depende del tiempo de CPU consumido por el sistema operativo.
 - b)Depende de las operaciones de entrada-salida que realice.
 - c)Depende de los accesos a memoria.
 - d)Todas son correctas
2. Indique la respuesta **incorrecta**:
 - a)La mejora sobre un componente no tiene efecto sobre el sistema total si ese componente no se emplea.
 - b)Si todo el tiempo de ejecución del programa se dedica a emplear el componente mejorado la ganancia en velocidad experimentado por el subsistema se trasladará al sistema general.
 - c)El porcentaje máximo que un subsistema puede acelerarse actuando sobre uno de los componentes **no** está acotado en función de cuánto se use.
 - d)La ley de Amdahl mide el impacto en el rendimiento global producido por el cambio en un subsistema
3. Indique la respuesta **correcta**. Si queremos diseñar un formato de instrucción en el que el primero de los operandos sea un registro de 32 bits entre 16 posibles y el segundo una posición de memoria, para identificar el registro se necesitarán:
 - a)32 bit
 - b)5 bits
 - c) 4 bits
 - d)Ninguna de las anteriores
4. Indique la respuesta **correcta** respecto a los buses.
 - a)Los buses síncronos suelen ser un poco más lentos que los buses asíncronos.
 - b)Los buses síncronos no tienen señal de reloj y emplean un protocolo de handshaking para coordinar la comunicación.
 - c)Los buses síncronos tienen una señal de reloj entre las líneas de control y un protocolo para la comunicación gobernado por esta señal de reloj.
 - d)Los buses síncronos son más flexibles que los buses asíncronos.

5. Indique la respuesta **correcta** con respecto a las políticas de reemplazo de una memoria cache con política de ubicación directa:
- a) Emplean una política FIFO.
 - b) Emplean una política LRU.
 - c) No tiene políticas de reemplazo.
 - d) Emplean una política aleatoria.
6. Indique el resultado **correcto** aplicando la técnica de redondeo al más próximo sobre el número expresado en complemento a 1: 1001 1111 **1 0 0** (se han resaltado en negrita los dos bits de guarda y el bit retenedor):
- a) 1010 0000
 - b) 1010 0001
 - c) 1001 1111
 - d) 1001 1110
7. Indique la respuesta **correcta** con respecto al sistema de entrada salida.
- a) La entrada-salida mediante procesadores de entrada-salida requiere que la CPU controle toda la transferencia y no pueda hacer ninguna otra cosa mientras.
 - b) La entrada-salida programada requiere que la CPU controle toda la transferencia y no pueda hacer ninguna otra cosa mientras.
 - c) La entrada-salida mediante interrupciones requiere que la CPU controle toda la transferencia y no pueda hacer ninguna otra cosa mientras.
 - d) La entrada-salida mediante acceso directo a memoria requiere que la CPU controle toda la transferencia y no pueda hacer ninguna otra cosa mientras.
8. Indique cuál de los sumadores siguientes no acelera la suma entera:
- a) Sumador con selección de acarreo.
 - b) Sumador con anticipación de acarreo.
 - c) Sumador con propagación de acarreo.
 - d) Sumador con salto de acarreo.
9. Indique la respuesta **correcta** sobre la generación de código de un compilador que cambie la instrucción **MUL BL, 2** por **SAR BL, 1**:
- a) Se trata de una optimización de reducción de altura de la pila.
 - b) Se trata de una optimización de reducción de potencia.
 - c) Se trata de una optimización de movimiento de código.
 - d) Ninguna de las anteriores.
10. Indique la respuesta **correcta**:
- a) Los datos de un vector presentan localidad temporal.
 - b) Las instrucciones de un programa presentan localidad temporal.
 - c) Los datos calculados y empleados en las operaciones consecutivas presentan localidad espacial.
 - d) Las instrucciones dentro de un bucle presentan localidad temporal.

Cuestiones cortas (3 puntos)**Cuestión 1****(1 punto)**

Sean los números enteros $A = 1111\ 1111$ y $B = 1111\ 0000$, expresados en complemento a 2 sobre 8 bits. Se pide calcular el producto de $A \times B$ mediante la aplicación del algoritmo de Booth.

Cuestión 2**(1 punto)**

Sea un bus síncrono que tiene un tiempo de ciclo de reloj de 10 ns. Y cada transacción requiere 1 ciclo de reloj. La sección de datos tiene una anchura de 64 bits. Se pide calcular el ancho de banda del bus cuando realiza lecturas de una memoria de 30 ns. suponiendo que las lecturas siempre son de una palabra.

Cuestión 3**(1 punto)**

Se tiene un sistema de memoria que consta de una memoria principal de 16 Gb de capacidad y de una memoria cache unificada para datos e instrucciones de 64 Kb de capacidad. Si los bloques son de 4 bytes, la política de ubicación es asociativa por conjuntos de 8 bloques, indicar la correspondencia entre una dirección de memoria principal y una de memoria caché.

Segunda Parte (4 puntos)

(Se debe obtener una calificación mínima de 2 puntos)

Problema 1. (1,5 puntos)

Se desea diseñar un repertorio de instrucciones en el que todas las instrucciones ocupen 32 bits. La máquina cuenta con 16 registros de 32 bits.

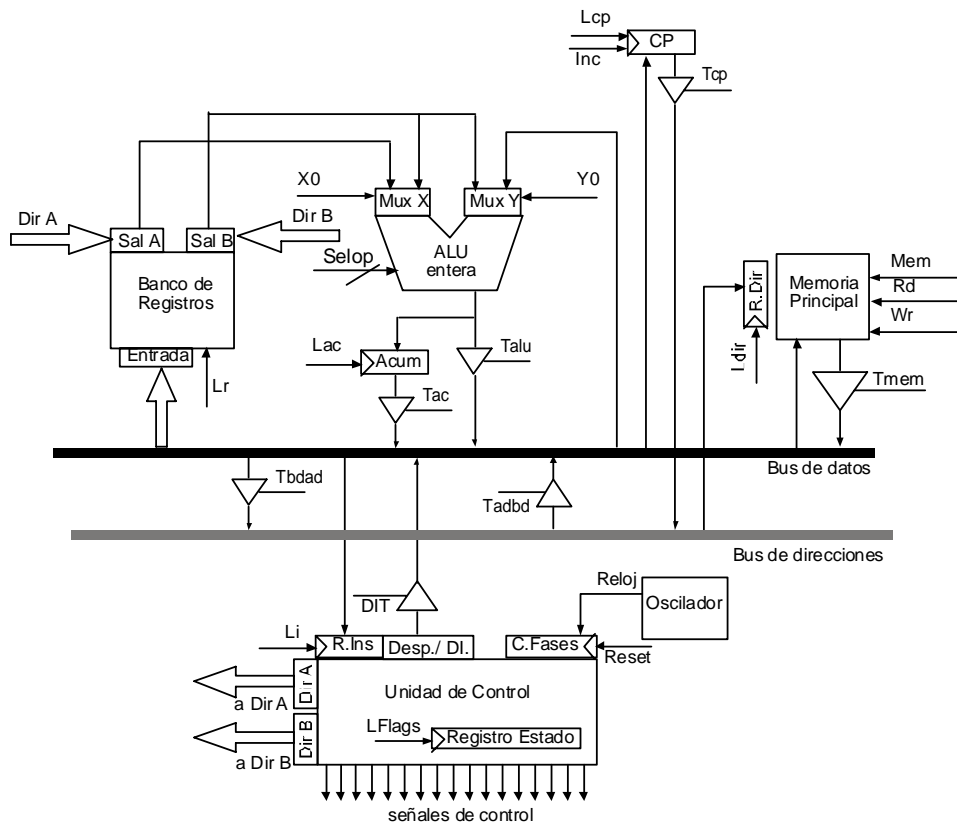
- El repertorio de instrucciones será
 - **Instrucciones de inicialización de registro**
 - LDI R, Inmediato ($R \leftarrow \text{Dato inmediato}$)
 - **Transferencia entre registros:**
 - MOV R1, R2 ($R1 \leftarrow R2$)
 - **Instrucciones de memoria:**
 - LD R, Memoria ($R \leftarrow \text{Contenido de la Memoria}$)
 - ST Memoria, R ($\text{Posición de la Memoria} \leftarrow \text{Contenido de R}$)
 - **Instrucciones de proceso:**
 - ADD / SUB R1, R2, R3 ($R1 = R2 \pm R3$)
 - **Instrucciones de control:**
 - JZ Dirección de salto ($CP \leftarrow CP + \text{Desplazamiento}$ si se cumple la condición)
 - JMP Dirección de salto ($CP \leftarrow \text{Dirección de salto}$)
- Modos de direccionamiento permitidos:
 - **Inmediato**, para las instrucciones de inicialización de registro y de inicialización de memoria.
 - **Relativo a registro**, para las instrucciones de acceso a memoria.
 - **Directo a memoria**, para la instrucción de salto condicional e incondicional.

Se pide:

- Diseño del repertorio de instrucciones anterior

Problema 2. (2,5 puntos)

Realizar el diseño cableado de la unidad de control siguiente, para el repertorio de instrucciones de la pregunta anterior.



Se pide:

- Máquina de estados indicando las operaciones elementales que se realizan en cada uno de ellos. **(1 punto)**
- Función de transición de estados mediante las ecuaciones de cambio de estado (únicamente para las instrucciones de memoria) **(0,5 puntos)**
- Señales de salida de cada estado. **(0,5 puntos)**
- Ecuaciones de generación de las señales de control (únicamente para las señales de MEM y LR) **(0,5 puntos)**

SOLUCIÓN

Primera Parte (5 puntos)

(Se debe obtener una calificación mínima de 2 puntos)

Preguntas de opción múltiple (2 puntos)

Pregunta correcta: + 0,20 Pregunta errónea: - 0,05 Pregunta sin contestar: 0

Nombre y apellidos: _____

Bien: |_____|

Mal: |_____|

No contestadas: |_____|

Pregunta 1	a)	b)	c)	d)	<input type="checkbox"/>
Pregunta 2	a)	b)	c)	d)	<input checked="" type="checkbox"/>
Pregunta 3	a)	b)	c)	d)	<input checked="" type="checkbox"/>
Pregunta 4	a)	b)	c)	d)	<input checked="" type="checkbox"/>
Pregunta 5	a)	b)	c)	d)	<input checked="" type="checkbox"/>
Pregunta 6	a)	b)	c)	d)	<input checked="" type="checkbox"/>
Pregunta 7	a)	b)	c)	d)	<input checked="" type="checkbox"/>
Pregunta 8	a)	b)	c)	d)	<input checked="" type="checkbox"/>
Pregunta 9	a)	b)	c)	d)	<input checked="" type="checkbox"/>
Pregunta 10	a)	b)	c)	d)	<input checked="" type="checkbox"/>

Cuestión 1

(1 punto)

$$A = 1111\ 1111$$

$$-A = C2(A) = 0000\ 0001$$

$$B = 1111\ 0000$$

Recorriendo B de derecha a izquierda vemos que $A \times B = -A \times 2^4$

$$-A \times 2^3 = 000\ 0001\ 0000$$

Cuestión 2**(1 punto)**

Tiene un ciclo de bus de 10 ns.

El bus síncrono deberá:

- Enviar la dirección a la memoria: 10 ns.
- Leer la memoria: 30 ns.
- Enviar los datos al dispositivo: 10 ns.

El tiempo total será de 50 ns. El ancho de banda máximo para transmitir 64 bits (8 bytes) cada 50 ns. será de 8 bytes / 50 ns. = 160 MB / sg.

Cuestión 3**(1 punto)**

$$\text{Nº de bloques de memoria principal} = \frac{2^{34} \text{ bytes}}{2^2 \text{ bytes/bloque}} = 2^{32} \text{ bloques de memoria principal}$$

$$\text{Nº de bloques en memoria cache de datos} = \frac{2^{16} \text{ bytes}}{2^2 \text{ bytes/bloque}} = 2^{14} \text{ bloques de memoria cache de datos}$$

$$\text{Nº de conjuntos en memoria cache de datos} = \frac{2^{14} \text{ bloques}}{2^3 \text{ bloques/conjunto}} = 2^{11} \text{ conjuntos de memoria cache de datos}$$

$$\text{Nº bloques de memoria principal ubicables en un conjunto de la memoria cache de datos} = \frac{2^{32} \text{ bloques MP}}{2^{11} \text{ conjuntos MCAbs}} = 2^{21}$$

Etiqueta	Conjunto	Posición
21	11	2

Solución problema 1. (2 puntos)

Al contar con 8 instrucciones (LD, ST, ADD, SUB, LDI, LDR, JZ, JMP) necesitaremos un código de operación de 3 bits para identificarlas. Quedarían como se indican en la tabla siguiente:

Instrucción	Código de operación		
	O3	O2	O1
LD	0	0	0
ST	0	0	1
ADD R1, R2, R3	0	1	0
SUB R1, R2, R3	0	1	1
LDI	1	0	0
MOV	1	0	1
JZ Dirección	1	1	0
JMP Dirección	1	1	1

Tenemos 16 registros con lo que para identificarlos necesitaremos 4 bits.

Como cada instrucción trabaja con un único modo de direccionamiento, no será necesario tener un campo para el modo de direccionamiento.

Con esas premisas los formatos de las instrucciones quedarían como siguen:

Instrucciones de memoria: LD, ST

Se necesitan dos registros, uno que será el origen o el destino de las instrucciones, y otro para que junto con el desplazamiento indique la posición de memoria (ya que se trata de un direccionamiento relativo)

CO	R	R	Desplazamiento
(3)	(4)	(4)	(21)

Instrucciones aritmético-lógicas: ADD y SUB

En este caso contamos con dos tipos de instrucciones: las que trabajan con dos registros y un dato inmediato y las que trabajan con tres registros.

CO	R1	R2	R3	No usado
(3)	(4)	(4)	(4)	(17)

Instrucción de inicialización de registro: LDI

Necesitamos un registro, y un dato inmediato que ocupará el resto del formato.

CO	R	Inmediato
(3)	(4)	(25)

Instrucción de transferencia de registros: MOV

Necesitamos un registro, y un dato inmediato que ocupará el resto del formato.

CO	R1	R2	No usado
(3)	(4)	(4)	(21)

Instrucciones de salto condicional e incondicional: JZ y JMP

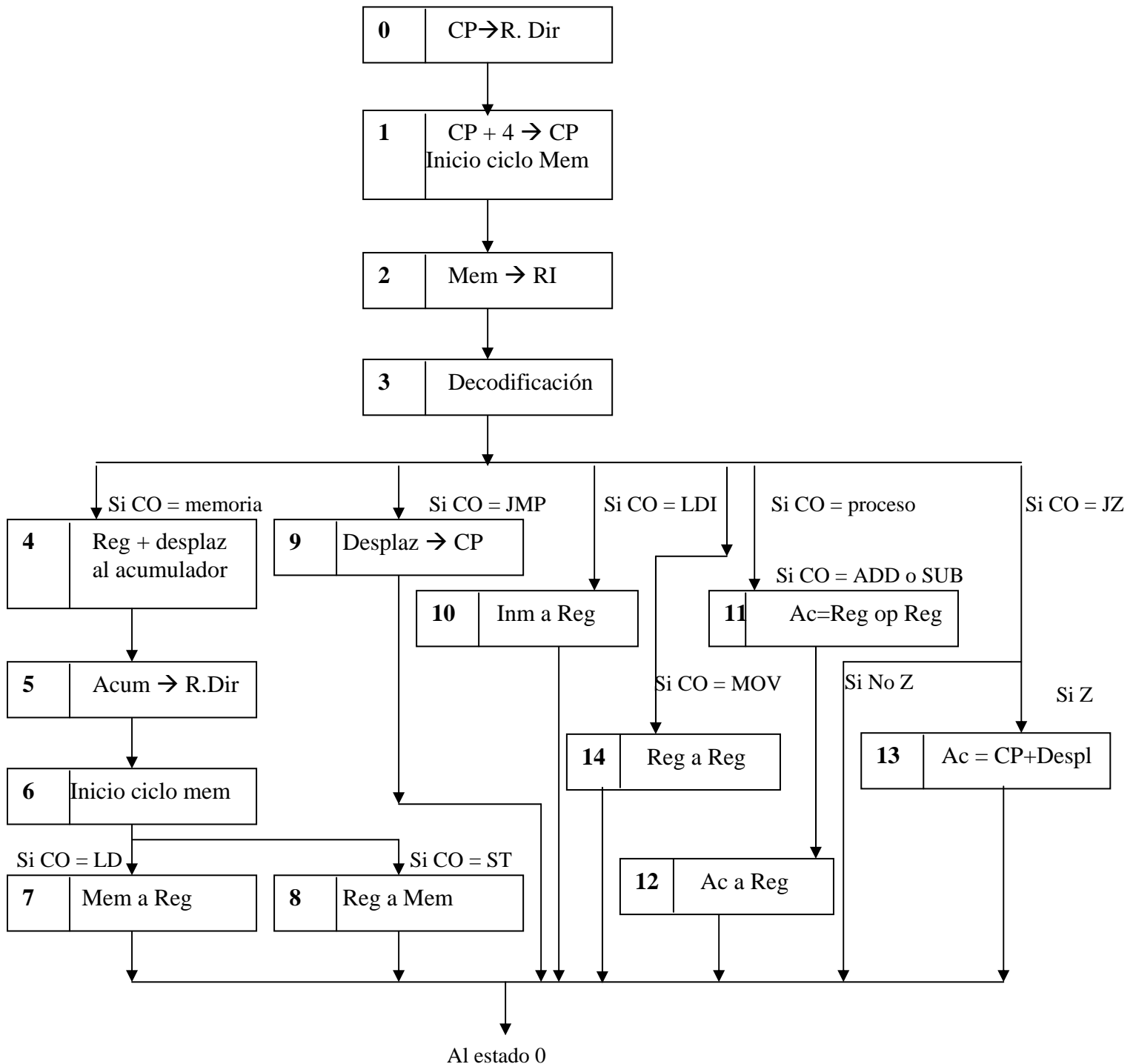
Como en ambos casos se trata de un direccionamiento directo el formato de ambas instrucciones quedaría como sigue:

CO	Dirección directa de memoria
(3)	(29)

Solución problema 2 (3 puntos)

Apartado a)

(1 punto)



Solución problema 2 (3 puntos) (continuación)**Apartados b)****(0,5 puntos)**

Estado nuevo					Condición	Ecuación
Estado	S3	S2	S1	S0		
1	0	0	0	1	Estado Anterior 0	$S0 = \overline{S3} \cdot \overline{S2} \cdot \overline{S1} \cdot \overline{S0}$
2	0	0	1	0	Estado Anterior 1	$S1 = \overline{S3} \cdot \overline{S2} \cdot S1 \cdot \overline{S0}$
3	0	0	1	1	Estado Anterior 2	$S1 = S0 = \overline{S3} \cdot \overline{S2} \cdot S1 \cdot \overline{S0}$
4	0	1	0	0	Estado Anterior 3 Y CO=memoria	$S2 = \overline{S3} \cdot \overline{S2} \cdot S1 \cdot S0 (\overline{O2} \cdot \overline{O1} \cdot \overline{O0} + \overline{O2} \cdot \overline{O1} \cdot O0)$
5	0	1	0	1	Estado Anterior 4	$S2 = S0 = \overline{S3} \cdot S2 \cdot \overline{S1} \cdot \overline{S0}$
6	0	1	1	0	Estado Anterior 5	$S2 = S1 = \overline{S3} \cdot S2 \cdot \overline{S1} \cdot S0$
7	0	1	1	1	Estado Anterior 6 Y CO = LD	$S2 = S1 = S0 = \overline{S3} \cdot S2 \cdot S1 \cdot \overline{S0} (\overline{O2} \cdot \overline{O1} \cdot \overline{O0})$
8	1	0	0	0	Estado Anterior 6 Y CO = ST	$S3 = \overline{S3} \cdot S2 \cdot S1 \cdot S0 (\overline{O2} \cdot \overline{O1} \cdot O0)$

Apartado c)**(1 punto)**

Estado	Op. Elmtales.	Señales
0	CP a reg dir	TCP, LDIR
1	CP = CP + 4	INC, LCP
	Inicio ciclo mem	MEM, RD
2	Memoria a RI	RD, TMEM, LI
3	Decodificación	NADA solamente se miran los flag
4	Reg + desp al acumulador	DIR A, DIT, MUX X, MUX Y, SELOP, LAC
5	Acum a Reg Dir	TALU, LDIR
6	Inicio ciclo mem	MEM
7	Memoria a Reg	RD, TMEM, DIRA, LR, RESET
8	Reg a memoria	DIR A, DIRB, MUX X, MUX Y, SELOP, TALU, WR, RESET
9	Destino a CP	DIT, LCP, RESET
10	Inmediato a Registro	DIR A, DIT, LR
11	Reg OP Reg al acumulador	DIR A, DIR B, MUX Y, MUX X, SELOP, LAC, LFLAGS
12	Acum a Reg	TAC, DIR A, LR, RESET
13	CP + Desp al CP	DIT, INC, LCP, RESET
14	Reg a Reg	DIR A, DIR B, SELOP, TALU, LR

Apartado d)**(0,5 puntos)**

Señal	Estados en los que se activa	Ecuación para la señal de salida
MEM	1 y 6	$MEM = \overline{S3} \cdot \overline{S2} \cdot S1 \cdot \overline{S0} + \overline{S3} \cdot S2 \cdot S1 \cdot S0$
LR	7, 10, 12 y 14	$LR = \overline{S3} \cdot S2 \cdot S1 \cdot S0 + S3 \cdot \overline{S2} \cdot S1 \cdot \overline{S0} + S3 \cdot S2 \cdot \overline{S1} \cdot \overline{S0} + S3 \cdot S2 \cdot S1 \cdot \overline{S0}$