

Normas:

- Puntuación máxima del examen 10 puntos.
- Ambas partes del examen cuentan exactamente 5 puntos, no siendo necesaria una nota mínima para compensar cada parte.
- En la parte de teoría solamente existe una opción válida en las preguntas de respuesta múltiple.
- No se podrá emplear documentación adicional a la del examen.
- No se podrá desgrapar las hojas.
- Las contestaciones tanto a la parte de teoría como a la de problemas se escribirán en el cuaderno de respuestas adjunto.
- Tiempo del examen 2 horas.

Teoría (5 puntos)

Pregunta correcta: + 0,25

Pregunta errónea: - 0,10

Pregunta sin contestar: 0

(Se debe responder en el cuaderno de respuestas adjunto y no aquí)

1. Indique la respuesta **incorrecta**, sobre la compatibilidad software:
 - a) Hace referencia a la cantidad de aplicaciones existentes que podrán ejecutarse en la máquina nueva.
 - b) A nivel de lenguaje de programación de alto nivel es más flexible.
 - c) A nivel de lenguaje de programación de alto nivel requiere el diseño de un nuevo compilador para la arquitectura nueva.
 - d) A nivel de compatibilidad binaria se requiere definir nuevamente el juego de instrucciones.
2. Indique la respuesta **incorrecta** sobre los factores que influyen en el coste de la oblea de silicio:
 - a) El número de puertas.
 - b) La regularidad del diseño.
 - c) El número de conexiones entre los elementos.
 - d) El color del circuito final.

3. Encontrar el número de dados teóricos para una oblea de 20 cm. de radio mediante el cálculo de la ganancia, suponiendo una densidad de defectos de 0,8 por cm². El lado del dado es de 1 cm. y $\alpha=3$
- a) 314
 - b) 154
 - c) 1256
 - d) 618
4. Indique la respuesta **incorrecta**, con respecto a los programas de Benchmark:
- a) Son portables a cualquier tipo de máquina.
 - b) Entregan un informe fácil de interpretar.
 - c) No tienen en cuenta los efectos del compilador al general el código.
 - d) Recogen un amplio espectro de funciones para los que normalmente se emplean los computadores.
5. Indique la respuesta **incorrecta** respecto a los modos de direccionamiento:
- a) **Inmediato**: se encuentra en el código máquina de la propia instrucción.
 - b) **Directo a memoria**: la ubicación en memoria del dato se encuentra codificada en él código máquina de la instrucción.
 - c) **Relativo**: se especifica un desplazamiento con respecto a un registro.
 - d) **Implícito**: la dirección especificada por el código máquina de la instrucción no es el dato sino la dirección.
6. Indique la respuesta **incorrecta**:
- a) El modo de direccionamiento de una instrucción influye en el número de ciclos que tardará en ejecutarse.
 - b) Los modos de direccionamiento permitidos influyen en el ciclo de reloj de la máquina.
 - c) La codificación de los modos de direccionamiento dependerá de la correlación existente entre éstos y los códigos de operación
 - d) El conjunto de los modos de direccionamiento que se permiten en una determinada máquina **no** influyen en la complejidad del hardware.
7. Indique la respuesta **incorrecta** sobre los factores a tener en cuenta al equilibrar la codificación de instrucciones:
- a) El número de registros.
 - b) El número de los modos de direccionamiento permitidos.
 - c) El tamaño de las instrucciones que nunca pueden ser múltiplos de la palabra del computador.
 - d) Que los accesos a memoria sean por palabras o líneas de cache

8. Indique que información **no debe** contener la instrucción:
- a) El código de la instrucción.
 - b) Operandos fuente.
 - c) Operando destino.
 - d) Dirección de la Instrucción anterior.
9. Indique cuál es el resultado de desplazar 5 posiciones aritméticamente a la izquierda el número representado en complemento a 1 sobre 16 bits: 8888h:
- a) 79A0h
 - b) 79BFh
 - c) 79DAh
 - d) 6D55h
10. Indique cuál de los sumadores siguientes no acelera la suma entera:
- a) Sumador con selección de acarreo.
 - b) Sumador con anticipación de acarreo.
 - c) Sumador con propagación de acarreo.
 - d) Sumador con anticipación de acarreo.
11. Indique la respuesta **correcta** sobre las técnicas de redondeo aplicadas al número expresado en complemento a 2: 0011 1111 **1 0 0** (se han resaltado en negrita los dos bits de guarda y el bit retenedor):
- a) Las tres técnicas dan el mismo resultado.
 - b) La técnica de redondeo al más próximo y la de truncación dan el mismo resultado.
 - c) La técnica de forzar el bit menos significativo a 1 y la de redondeo al más próximo dan el mismo resultado.
 - d) La técnica de forzar el bit menos significativo a 1 y la de truncación dan el mismo resultado.
12. Indique la respuesta **incorrecta** sobre los dígitos de guarda:
- a) El bit retenedor se emplea para no perder la precisión en las operaciones de resta.
 - b) Los bits de guarda se añaden y se emplean dentro y fuera de la Unidad Aritmético-Lógica.
 - c) Se emplean para aumentar la precisión de los resultados y permitir el redondeo y la normalización de manera correcta.
 - d) Normalmente se emplean 2 bits de guarda y un bit retenedor.

13. Indique la respuesta **incorrecta** sobre las unidades de control microprogramadas:

- a) Son más rápidas que las unidades de control cableadas.
- b) Permiten cambiar el juego de instrucciones del computador cambiando la memoria de control.
- c) Almacenan, en la memoria de control, las palabras de control correspondientes a cada periodo de ejecución de una instrucción.
- d) Pueden incorporar microsaltos.

14. Indique qué se debe tener en cuenta a la hora de diseñar una unidad de control microprogramada:

- a) La limitación del tamaño de la memoria de control a utilizar.
- b) Establecer una correspondencia entre cada instrucción máquina y su microprograma correspondiente.
- c) La codificación de las microinstrucciones.
- d) Todas las anteriores

15. Indique la respuesta **correcta**:

- a) Los datos de un vector presentan localidad temporal.
- b) Las instrucciones de un programa presentan localidad temporal.
- c) Los datos calculados y empleados en las operaciones siguientes presentan localidad temporal.
- d) Ninguna de las anteriores es correcta.

16. Indique la respuesta **incorrecta** sobre la memoria entrelazada:

- a) La memoria entrelazada de orden superior facilita la expansión de memoria.
- b) La memoria entrelazada de orden superior aumenta la fiabilidad del sistema ante el fallo de un módulo.
- c) En el entrelazado de orden inferior si las referencias sucesivas a memoria son consecutivas aumentan los conflictos de acceso.
- d) La memoria entrelazada de orden inferior emplea los bits inferiores para decodificar el acceso a los módulos de memoria.

17. Indique la respuesta **correcta**:

- a) Una memoria cache con política de ubicación asociativa por conjuntos de un bloque, coincide con una memoria cache con política de ubicación totalmente asociativa.
- b) Una memoria cache con política de ubicación directa, coincide con una memoria cache con política de ubicación totalmente asociativa.
- c) Una memoria cache con política de ubicación asociativa por conjuntos de un bloque, coincide con una memoria cache con política de ubicación directa.
- d) Todas son incorrectas.

18. Al diseñar un sistema de entrada-salida mediante interrupciones se debe tener en cuenta:
- a) Cómo se identifica al periférico que ha interrumpido
 - b) Cómo se indica la aceptación de la interrupción
 - c) Cómo se solicita la interrupción
 - d) Todas las anteriores
19. Indique la respuesta **incorrecta** respecto a los buses.
- a) Los buses asíncronos no tienen señal de reloj y emplean un protocolo de *handshaking* para coordinar la comunicación.
 - b) Los buses síncronos suelen ser un poco más rápidos que los buses asíncronos.
 - c) Los buses síncronos son más flexibles que los buses asíncronos.
 - d) Los buses síncronos tienen una señal de reloj entre las líneas de control y un protocolo para la comunicación gobernado por esta señal de reloj.
20. Indique la respuesta **incorrecta** respecto a los métodos de arbitraje del bus:
- a) Arbitraje en daisy-chain. Una línea de concesión recorre todos los dispositivos.
 - b) Arbitraje centralizado. Un árbitro centralizado selecciona al dispositivo y le nombra maestro del bus.
 - c) Arbitraje distribuido por auto selección. Los dispositivos indican la prioridad de manera que el menos prioritario se erige en maestro.
 - d) Arbitraje distribuido por detección de colisión. Una vez detectada la colisión se emplea un esquema para seleccionar al maestro entre todos los dispositivos que causaron la colisión.

Parte de problemas (5 puntos)

Problema 1. (2 puntos)

Se tiene el mismo juego de instrucciones implementado en dos computadores con la misma arquitectura. Las características de cada una al ejecutar el mismo programa se resumen en la tabla siguiente:

	Ciclo de reloj	Ciclos por instrucción (CPI) para el programa
Arquitectura 1	2	2
Arquitectura 2	4	1,2

Se pide calcular qué máquina es más rápida para ese programa y cuánto más

Problema 2. (3 puntos)

Sea un ordenador con un sistema de memoria de las siguientes características:

- Memoria principal:
 - Capacidad 4 GB.
 - Entrelazada simple de orden inferior con 16 módulos.
 - Tiempo de acceso de 32 ns.
- Memoria cache:
 - Dos módulos de memoria caché independientes (instrucciones y datos)
 - Capacidad de ambas caches de 256 Kbytes.
 - Tiempo de acceso de 4 ns.
 - Bloques de 16 bytes.
 - **Política de ubicación:** asociativa por conjuntos de cuatro bloques.
 - **Política de actualización:** escritura inmediata sin ubicación.
 - **Política de reemplazo:** FIFO.

En este computador se ejecuta el siguiente código:

```

i := 1;
WHILE (i < 3) DO
  BEGIN
    A := Vector1(i);
    B:= Vector2(i);
    IF A > B
    THEN BEGIN
      Mayor(i) := A;
      Menor(i) := B;
    END
    ELSE BEGIN
      Mayor(i) := B;
      Menor(i) := A;
    END;
    Suma(i) := Suma(i) + Mayor(i);
    i:= i + 1;
  END;

```

Se sabe que la instrucción $Suma(i) := Suma(i) + Mayor(i)$ implica tres accesos a memoria: dos de lectura $suma(i)$ y $mayor(i)$ y otro de escritura del resultado en $suma(i)$

También se sabe que la variable i se encuentra ubicada en un registro, inicializada a 1.

Finalmente las direcciones de memoria de las variables son:

Mayor	3C89 2365	Vector1	0039 2364
Menor	3D89 236A	Vector2	0029 2368
Suma	0019 2367		

Si inicialmente, la memoria caché de datos se encuentra vacía:

- Indicar la correspondencia entre una dirección de memoria principal y una de memoria cache. **(0,5 puntos)**
- Indicar la traza de los accesos, a los datos, realizada por este fragmento de código. **(0,5 puntos)**
- Indicar en cuáles de las anteriores referencias a la memoria principal producen fallos en la memoria caché y que acción se realiza. **(1 punto)**
- Calcular la tasa de aciertos de la memoria caché de datos para el anterior fragmento de programa. **(0,5 puntos)**
- Calcular el tiempo de ejecución del fragmento del programa anterior debido únicamente a los accesos a memoria. **(0,5 puntos)**

Hoja para operaciones del alumno

Soluciones de teoría (5 puntos)

Pregunta correcta: + 0,25 Pregunta errónea: - 0,10 Pregunta sin contestar: 0

Nombre y apellidos: _____

Bien: |_____|

Mal: |_____|

No contestadas: |_____|

Pregunta 1: a) b) c) d)

Pregunta 2: a) b) c) d)

Pregunta 3: a) b) c) d)

Pregunta 4: a) b) c) d)

Pregunta 5: a) b) c) d)

Pregunta 6: a) b) c) d)

Pregunta 7: a) b) c) d)

Pregunta 8: a) b) c) d)

Pregunta 9: a) b) c) d)

Pregunta 9. solución
111Fh, anulada por error
en el enunciado

Pregunta 10: a) b) c) d)

Pregunta 11: a) b) c) d)

Pregunta 12: a) b) c) d)

Pregunta 13: a) b) c) d)

Pregunta 14: a) b) c) d)

Pregunta 15: a) b) c) d)

Pregunta 16: a) b) c) d)

Pregunta 17: a) b) c) d)

Pregunta 18: a) b) c) d)

Pregunta 19: a) b) c) d)

Pregunta 20: a) b) c) d)

Solución problema 1. (2 puntos)

Como se trata del mismo programa el número de instrucciones será el mismo en ambas máquinas. Con lo que

$$\text{Ciclos de reloj CPU}_A = \text{Número instrucciones} \times 2$$

$$\text{Ciclos de reloj CPU}_B = \text{Número instrucciones} \times 1,2$$

El tiempo de ejecución de CPU para cada máquina será:

$$\text{Tiempo CPU}_A = \text{Ciclos de reloj CPU}_A \times \text{tiempo de ciclo}_A = \text{Núm. Instruc.} \times 2 \times 2\text{ns}$$

$$\text{Tiempo CPU}_B = \text{Ciclos de reloj CPU}_B \times \text{tiempo de ciclo}_B = \text{Núm. Instruc.} \times 1,2 \times 4\text{ns}$$

Como puede observarse en la tabla siguiente la máquina A es más rápida que la B

	Ciclos de Reloj	Tiempo de CPU
Arquitectura A	2 x Núm. de instruc.	4 x Núm. de instruc.
Arquitectura B	1,2 x Núm. de instruc.	4,8 x Núm. de instruc.

Finalmente se ve que la máquina A es 1,2 veces más rápida que la B

$$\frac{\text{Rendimiento CPU}_A}{\text{Rendimiento CPU}_B} = \frac{\text{Tiempo de ejecución}_B}{\text{Tiempo de ejecución}_A} = \frac{4,8 \times \text{Número de Instrucciones}}{4 \times \text{Número de Instrucciones}} = 1,2 \text{ veces}$$

Solución problema 2 (3 puntos)

Apartado a)

(0,5 puntos)

La capacidad de la memoria principal es de 2^{32} bytes, y se encuentra estructurada en bloques de tamaño 16 bytes = 2^4 bytes/bloque, así se puede calcular que el número de bloques de memoria principal es de:

$$\text{Nº de bloques de memoria principal} = \frac{2^{32} \text{ bytes}}{2^4 \text{ bytes/bloque}} = 2^{28} \text{ bloques de memoria principal}$$

Por otro lado, la memoria cache tiene una política de ubicación asociativa por conjuntos de dos bloques con una capacidad de 256 Kbytes = $2^8 \cdot 2^{10}$ bytes, estructuradas en bloques de 16 bytes/bloque. Por tanto, el número de bloques de la memoria cache es de:

$$\text{N}^\circ \text{ de bloques en memoria cache} = \frac{2^{18} \text{ bytes}}{2^4 \text{ bytes/bloque}} = 2^{14} \text{ bloques de memoria cache}$$

Ahora calcularemos el número de conjuntos de memoria cache

$$\text{N}^\circ \text{ de conjuntos en memoria cache} = \frac{2^{14} \text{ bloques}}{2^2 \text{ bloques/conjunto}} = 2^{12} \text{ conjuntos de memoria cache}$$

De esta manera, un bloque de memoria principal se ubica en un bloque del conjunto correspondiente a la posición $i \bmod 2^{12}$ de memoria cache, siendo i el número de bloque de memoria principal. Por tanto, el número de bloques de memoria principal que pueden ubicarse en un conjunto de memoria cache de datos será:

$$\text{N}^\circ \text{ bloques de memoria principal ubicables en un conjunto de la memoria cache} = \frac{2^{28} \text{ bloques MP}}{2^{12} \text{ conjuntos MCa}} = 2^{16}$$

Etiqueta	Conjunto	Posición
16	12	4

Apartados b) y c)

(0,5 puntos b) y 1 punto c))

APARTADO b)			APARTADO c)
Acceso	Dirección de memoria principal	Correspondencia en memoria caché	Acierto/Fallo Lect. en Mca
1º	Vector1 (1) 0039 236 5h	Etiqueta: 39h Conjunto: 236h Palabra: 5	Fallo lectura → Traer bloque de MP
2º	Vector2(1) 0029 236 9h	Etiqueta: 29h Conjunto: 236h Palabra: 9	Fallo lectura → Traer bloque de MP
3º	Mayor(1) 3C89 236 6h	Etiqueta: 3C89h Conjunto: 236h Palabra: 6	Fallo escritura → Escribir en MP y no traer bloque al ser sin ubicación
4º	Menor(1) 3D89 236 Bh	Etiqueta: 3D89h Conjunto: 236h Palabra: B	Fallo escritura → Escribir en MP y no traer bloque al ser sin ubicación

APARTADO b)			APARTADO c)
Acceso	Dirección de memoria principal	Correspondencia en memoria caché	Acierto/Fallo Lect. en Mca
5°	Suma(1) 0019 236 8h	Etiqueta: 19h Conjunto: 236h Palabra: 8	Fallo lectura → Traer bloque de MP
6°	Mayor(1) 3C89 236 6h	Etiqueta: 3C89h Conjunto: 236h Palabra: 6	Fallo lectura → Traer bloque de MP
7°	Suma(1) 0019 236 8h	Etiqueta: 19h Conjunto: 236h Palabra: 8	Acierto de escritura → escribir a la vez en Mca y en MP al ser escritura inmediata
8°	Vector1 (2) 0039 236 6h	Etiqueta: 39h Conjunto: 236h Palabra: 6	Acierto de lectura → Acceder a Mca
9°	Vector2(2) 0029 236 Ah	Etiqueta: 29h Conjunto: 236h Palabra: A	Acierto de lectura → Acceder a Mca
10°	Mayor(2) 3C89 236 7h	Etiqueta: 3C89h Conjunto: 236h Palabra: 7	Acierto de escritura → escribir a la vez en Mca y en MP al ser escritura inmediata
11°	Menor(2) 3D89 236 Ch	Etiqueta: 3D89h Conjunto: 236h Palabra: C	Fallo escritura → Escribir en MP y no traer bloque al ser sin ubicación
12°	Suma(2) 0019 236 9h	Etiqueta: 19h Conjunto: 236h Palabra: 9	Acierto de lectura → Acceder a Mca
13°	Mayor(2) 3C89 236 7h	Etiqueta: 3C89h Conjunto: 236h Palabra: 7	Acierto de lectura → Acceder a Mca
14°	Suma(2) 0019 236 9h	Etiqueta: 19h Conjunto: 236h Palabra: 9	Acierto de escritura → escribir a la vez en Mca y en MP al ser escritura inmediata

Apartado d)**(0,5 puntos)**

Tasa de aciertos (Hr) = 7 aciertos / 14 accesos totales = 0,5 → 50 %

Apartado e)**(0,5 puntos)**

Acceso	Acceso a Mca	Acceso a MP	Comentario
1°	1	1	Accedo a Mca, fallo y traigo el bloque leyendo de MP.
2°	1	1	Accedo a Mca, fallo y traigo el bloque leyendo de MP.
3°	1	1	Accedo a Mca, fallo al escribir y escribo solamente en MP por ser sin ubicación.
4°	1	1	Accedo a Mca, fallo al escribir y escribo solamente en MP por ser sin ubicación.
5°	1	1	Accedo a Mca, fallo y traigo el bloque leyendo de MP.
6°	1	1	Accedo a Mca, fallo y traigo el bloque leyendo de MP.
7°	1	1	Acierto de escritura. Al ser escritura inmediata escribo a la vez en MP y en Mca tomando solamente el tiempo del máximo de los dos tiempos
8°	1		Accedo a Mca al ser acierto de lectura
9°	1		Accedo a Mca al ser acierto de lectura
10°	1	1	Acierto de escritura. Al ser escritura inmediata escribo a la vez en MP y en Mca tomando solamente el tiempo del máximo de los dos tiempos
11°	1	1	Accedo a Mca, fallo al escribir y escribo solamente en MP por ser sin ubicación.
12°	1		Accedo a Mca al ser acierto de lectura
13°	1		Accedo a Mca al ser acierto de lectura
14°	1	1	Acierto de escritura. Al ser escritura inmediata escribo a la vez en MP y en Mca tomando solamente el tiempo del máximo de los dos tiempos

Número de accesos a memoria caché: 11 (accesos 7, 10 y 14 solamente contará el de MP porque son simultáneos con los accesos a Mca)

Número de accesos a memoria principal: 10

Tiempo de ejecución = $11 \times 4 \text{ ns} + 10 \times 32 \text{ ns} = 364 \text{ ns}$.