



Apellidos, Nombre: \_\_\_\_\_

**No se considerarán como válidas las respuestas en las que no se justifiquen los cálculos realizados****No se permite el uso de ningún tipo de documentación, pero sí de calculadora****Sólo existe una única opción correcta por pregunta de test****Puntuación:**Respuesta correcta  $\Rightarrow$  **0,25**Respuesta incorrecta  $\Rightarrow$  **-0,0625** Pregunta no contestada  $\Rightarrow$  **0****TEORÍA (5 puntos)**

1.- Sea una ALU que entre las operaciones que realiza se encuentra la de desplazamiento a la izquierda con números en complemento a 1. Sea el número  $A = 8421h$ . Calcular el resultado de rotar el número  $A$  5 veces a la izquierda.

**8430h**

2.- Al restar dos números representados en exceso  $M$

a) Se debe corregir **siempre** restando el exceso  $M$  al resultado

b) Se debe corregir siempre sumando el exceso  $M$  al resultado

c) Solamente se debe corregir si los dos números son negativos o si siendo de diferente signo el resultado en valor absoluto de la suma es positivo

d) La corrección consiste en invertir el bit más significativo del resultado

3.- Empleando el algoritmo de división sin restauración dividir los dos números siguientes representados en binario puro:  $A = 111011$  y el número  $B = 010011$

$$\begin{array}{r}
 0111011 \\
 101101 \quad + \\
 \hline
 \neq 0010101 \\
 1101101 \quad + \\
 \hline
 \neq 0000010
 \end{array}
 \qquad
 \begin{array}{r}
 \overline{010011} \\
 11
 \end{array}$$

4.- Sea una ALU que emplea dos bits de guarda y un bit retenedor. Sea el número  $0100\ 0011\ \mathbf{101}$  (los tres bits resaltados en negrita corresponde con los bits de guarda y el bit retenedor)

a) La técnica de redondeo al más próximo coincide con la truncación

b) La técnica de forzar el bit menos significativo a 1 coincide con la de redondear al más próximo

c) Las técnicas de redondeo al más próximo, truncación y forzar el bit menos significativo a 1 coinciden

d) Ninguna de las anteriores



Apellidos, Nombre: \_\_\_\_\_

5.- Señale la afirmación **correcta**:

- a) El número de operandos explícitos por instrucción en la ALU es de uno si almacenamiento temporal es en la pila
- b) Si el tipo de máquina es de pila se facilita la generación de código eficiente
- c) El número de operandos explícitos por instrucción en la ALU es de cero si almacenamiento temporal es en el acumulador
- d) **En una máquina de acumulador la principal desventaja es que se genera gran cantidad de tráfico entre la memoria y el registro acumulador**

6.- Señale la afirmación **incorrecta**:

- a) En las máquinas registro-memoria los operandos **no** son equivalentes ya que en una operación binaria como la suma o la resta, se destruye un operando fuente.
- b) En las máquinas registro-memoria los ciclos por instrucción varían por la posición del operando.
- c) **En las máquinas registro-memoria no se puede acceder a los datos sin cargarlos primero**
- d) En las máquinas registro-memoria el formato de instrucción tiende a ser fácil para codificar y obtener buena densidad de código

7.- Señale la afirmación **incorrecta**:

- a) La traducción binaria es la técnica empleada para cambiar el código ejecutable de un programa asociado a una arquitectura y a un sistema operativo en otro código ejecutable diferente para otra arquitectura y sistema operativo.
- b) La mejor forma de aprovechar al máximo las nuevas capacidades de una arquitectura es portar y recompilar el programa con compiladores nativos.
- c) **El intérprete software es un programa que lee instrucción a instrucción el programa de la vieja arquitectura y lo traduce a la nueva lo que garantiza que sea muy rápida la traducción.**
- d) No siempre se pueden emplear compiladores nativos para realizar la traducción.

8.- Sea un computador de 64 bits. Para las referencias a memoria 0, 1, 2, 3, 4, 5, 6, 7, 8 y 9. Indique cuáles de ellas se encuentran alineadas a palabra

- a) Todas ellas
- b) Las pares
- c) Las impares
- d) Otras: \_\_\_\_\_0 y 8\_\_\_\_\_

9.- Señale la opción **incorrecta**. Los factores a tener en cuenta al diseñar el sistema de memoria son:

- a) La capacidad
- b) La velocidad del conjunto
- c) **La marca del procesador**
- d) El coste del sistema de memoria



Apellidos, Nombre: \_\_\_\_\_

10.- En memoria caché, las políticas de extracción se refieren a

- a) Correspondencia entre bloques de MP y MCa
- b) Qué y cuándo se envía información de MP a MCa**
- c) Qué bloque abandona MCa para dejar espacio
- d) Ninguna de las anteriores

11.- Señale la opción **incorrecta**.

- a) Un PIC permite la conexión de distintos periféricos a la línea de petición de la CPU expandiendo en varios niveles dicha línea (INT)
- b) Resuelve la gestión de prioridades de forma nada flexible**
- c) Permite enmascarar aquellas líneas que se desee mediante un registro de máscara programable
- d) Admite controladores esclavos para expandir más niveles de interrupción

12.- Señale la opción **incorrecta**.

- a) En un PC se sacrifica el rendimiento para reducir costes
- b) En un supercomputador se sacrifica el coste para aumentar el rendimiento
- c) En una estación de trabajo se busca el equilibrio entre coste y rendimiento
- d) En las estaciones de trabajo y en los PCs al aumentar el rendimiento disminuyen los costes**

13.- Señale la opción **correcta** con respecto al rendimiento de la memoria

- a) Depende de la capacidad
- b) Depende de la latencia
- c) a) y b) son correctas**
- d) Ninguna de las anteriores

14.-¿Cuál de los siguientes elementos presenta localidad espacial

- a) Los datos generados en las operaciones siguientes
- b) La estructura secuencial de un programa**
- c) Las mismas instrucciones dentro de un bucle
- d) Ninguna de las anteriores

15.- Las operaciones elementales

- a) Pueden ser de transferencia o de proceso**
- b) Pueden terminar en un elemento de memoria o almacenamiento o en los buses
- c) a) y b) son correctas
- d) Ninguna de las anteriores



Apellidos, Nombre: \_\_\_\_\_

16.- Señale la opción **correcta** con respecto a la unidad de control microprogramada con secuenciamiento implícito:

a) Cada microinstrucción contiene la dirección de la siguiente microinstrucción

**b) Cada microinstrucción contiene un bit indicando si es la última microinstrucción de un microprograma**

c) No existe posibilidad de contar con microinstrucciones condicionales

d) Se necesita espacio en la memoria de control para almacenar las direcciones de las siguientes microinstrucciones

17.- Señale la opción **incorrecta** con respecto al entrelazado de orden superior

a) Facilita la expansión de memoria

b) Mejora la fiabilidad ante el fallo de un módulo

c) Consiste en distribuir las direcciones de memoria entre los módulos de modo que cada uno contenga direcciones consecutivas

**d) Si las referencias sucesivas a memoria son consecutivas, se reducen los conflictos de acceso**

18.- Señale la opción **incorrecta**:

a) El controlador de un periférico se encarga de la comunicación con la CPU

b) El controlador de un periférico se ocupa de la transferencia de datos

c) El controlador de un periférico se ocupa del protocolo de transferencia

**d) El controlador de un periférico puede ser mecánico, electromecánico o electromagnético con su electrónica de control**

19.- Señale la opción **correcta**:

a) En la E/S mediante interrupciones la CPU realiza la petición del servicio activando una señal de control específica.

b) En la E/S mediante interrupciones antes de comenzar la rutina de tratamiento de la interrupción el periférico debe salvar la dirección de retorno y el registro de estado

**c) En la E/S mediante interrupciones el periférico realiza la petición del servicio activando una señal de control específica.**

d) En la E/S mediante interrupciones varios periféricos no pueden interrumpir a la vez

20.- Señale la opción **incorrecta**. En el encadenamiento de periféricos o daisy-chain:

a) Todos los periféricos piden servicio por la misma línea (INT)

b) Cuando la CPU acepta la interrupción activa la señal INTA

c) El vector de interrupción es fijo

**d) La CPU desactiva la petición del periférico de mayor prioridad y activa el biestable de concesión**



Apellidos, Nombre: \_\_\_\_\_

**PROBLEMAS (5 puntos)****EJERCICIO 1: (3 puntos)**

Sea un computador de 16 bits cuyo sistema de memoria presenta las características siguientes:

Memoria caché de datos y memoria caché de instrucciones separadas, ambas iguales y con las características siguientes:

- 8Kbytes de capacidad
- Asociativa por conjuntos de un bloque
- Tamaño del bloque de 16 bytes
- Escritura inmediata sin ubicación

Memoria principal:

- 64Kbytes
- Entrelazada simple inferior de 16 módulos para garantizar que los datos y las instrucciones se encuentran en módulos diferentes de memoria.

Se desea ejecutar el código siguiente:

Dirección de memoria	Instrucciones
4FFA h	<b>Bucle:</b> MOV CX, Operando1[SI]
4FFC h	XOR CX, Operando2[SI]
4FFE h	MOV Resultado[SI], AC
5000 h	INC DI
5002 h	CMP DI, 3
5004 h	JNZ Bucle

Los vectores Operando1, Operando2 y Resultado, se encuentran en las posiciones de memoria 5893h, 789Ah, 389Fh respectivamente. DI es un registro índice inicializado a cero antes de entrar en el bucle.

Suponiendo que ambas cachés se encuentran vacías al principio de la ejecución del programa. Se pide:

- Calcular el Hit Ratio de la memoria caché de datos **(1 punto)**
- Calcular el Hit Ratio de la memoria caché de instrucciones **(1 punto)**
- Indique si con alguna política de reemplazo mejoraría la tasa de aciertos en la caché de datos o en la de instrucciones. Justificadamente. **(1 punto)**

**EJERCICIO 2: (2 puntos)**

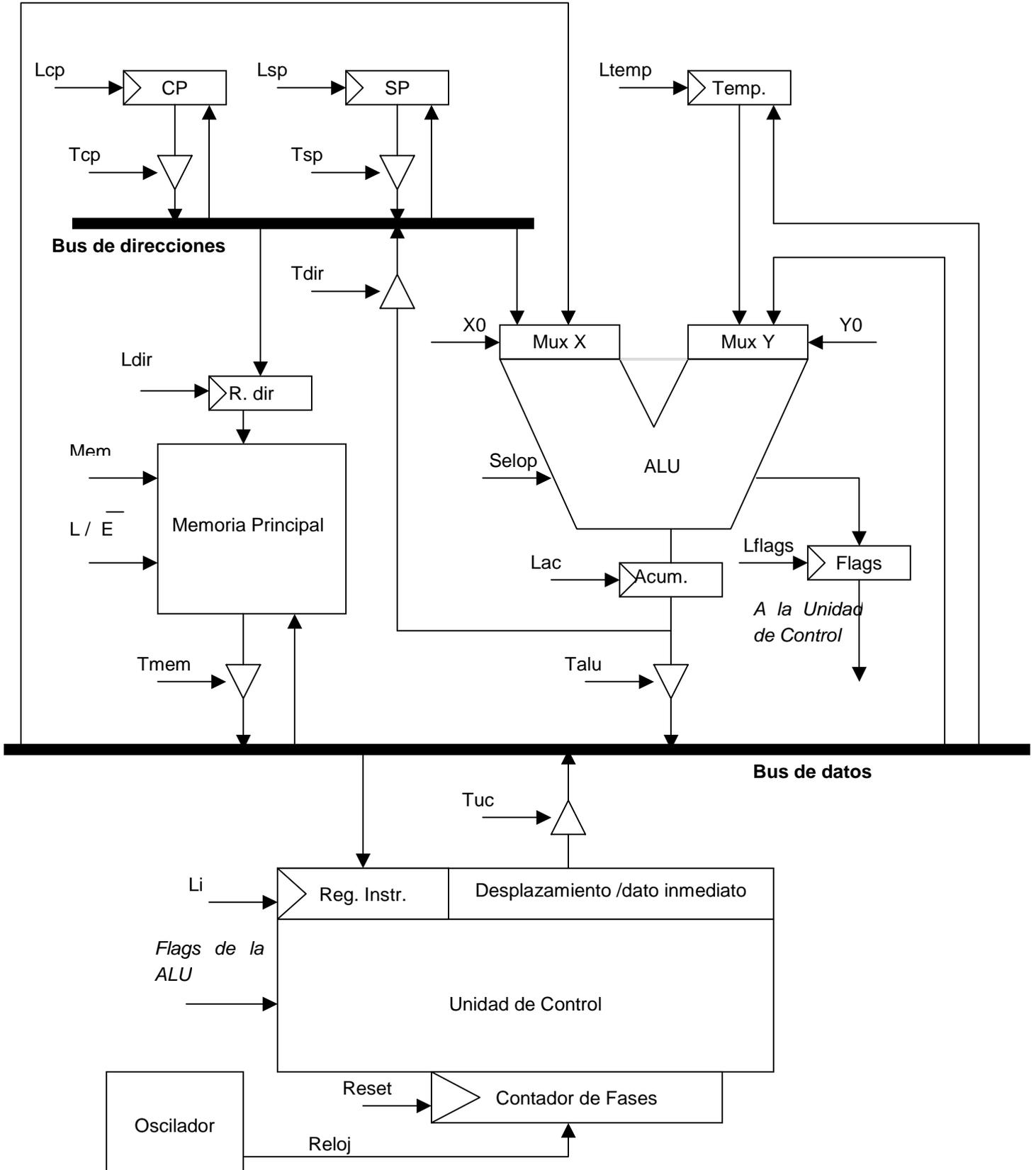
Se dispone de un computador que consta, entre otros, de los siguientes elementos:

- **ALU** que se alimenta de dos entradas y permite realizar 16 operaciones, entre ellas la de traspasar las entradas del multiplexor X o Y al registro Acumulador y la de incrementar o decrementar en 1 la entrada de cualquiera de las dos entradas de la ALU.
- La máquina consta de un registro contador de programa CP, un registro puntero de pila SP, un registro Acumulador para almacenar los resultados y un registro temporal



Apellidos, Nombre: \_\_\_\_\_

- **Memoria principal**, se considera que las lecturas y escrituras en memoria se realizan en dos periodos de reloj.
- **No** todas las instrucciones son del mismo tamaño
- El modelo de ejecución de la máquina es modo pila





Apellidos, Nombre: \_\_\_\_\_

El funcionamiento de la pila es análogo a la del i80x86 (observese que se incrementa o decrementa en una unidad el puntero de pila):

- Para almacenar un operando:  $SP \leftarrow SP - 1; [SP] \leftarrow \text{operando}$
- Para extraer un operando de la pila:  $\text{destino} \leftarrow [SP]; SP \leftarrow SP + 1$

Suponiendo que los operandos se encuentran en la pila se quiere que la CPU ejecute la siguiente instrucción de **una palabra**: **ADD**

- a) Indique la secuencia de operaciones elementales **(1 punto)**
- b) Indique las señales que se activan en la secuencia de operaciones elementales **(1 punto)**



Apellidos, Nombre: \_\_\_\_\_

**SOLUCIÓN EJERCICIO 1 (3 PUNTOS)****Apartado a) (1 punto)**

Al tratarse de una memoria asociativa por conjuntos de un único bloque se comportará como una caché de correspondencia directa por lo que dividiremos la dirección de Memoria Principal en etiqueta, bloque y byte

Acceso	Variable	Dirección de memoria principal	Correspondencia en memoria caché de datos	Acierto/Fallo Lect./Escrit. en MCA <sub>Datos</sub>
1º	Operando1 [0]	5893h <b>0101</b> 1000 1001 0011	Etiqueta: 2 h Bloque: 189 h Byte: 3 h	Fallo lectura
2º	Operando2 [0]	789Ah <b>0111</b> 1000 1001 1010	Etiqueta: 3 h Bloque: 189 h Byte: A h	Fallo lectura
3º	Resultado [0]	389Fh <b>0011</b> 1000 1001 1111	Etiqueta: 1 h Bloque: 189 h Byte: F h	Fallo escritura
4º	Operando1 [1]	5894h <b>0101</b> 1000 1001 0100	Etiqueta: 3 h Bloque: 189h Byte: 4 h	Fallo lectura
5º	Operando2 [1]	789Bh <b>0111</b> 1000 1001 1011	Etiqueta: 3 h Bloque: 189 h Byte: B h	Fallo lectura
6º	Resultado [1]	38A0h <b>0011</b> 1000 1010 0000	Etiqueta: 1 h Bloque: 18A h Byte: 0 h	Fallo escritura
7º	Operando1 [2]	5895h <b>0101</b> 1000 1001 0101	Etiqueta: 3 h Bloque: 189 h Byte: 5 h	Fallo lectura
8º	Operando2 [2]	789Ch <b>0111</b> 1000 1001 1100	Etiqueta: 3 h Bloque: 189 h Byte: C h	Fallo lectura
9º	Resultado [2]	38A1h <b>0011</b> 1000 1010 0001	Etiqueta: 1 h Bloque: 18A h Byte: 1 h	Fallo escritura

El hit ratio será del 0% ya que todos los accesos a la caché de datos producen fallo.



Apellidos, Nombre: \_\_\_\_\_

**SOLUCIÓN EJERCICIO 1 (3 PUNTOS)****Apartado b) (1 punto)**

Acceso	Dirección de memoria principal	Correspondencia en memoria caché de instrucciones	Acierto/Fallo Lect./Escrit. en MC <sub>Datos</sub>
1º	4FFA h (0100 1111 1111 1010)	Etiqueta: 2 h Bloque: FF h Byte: A h	Fallo lectura
2º	4FFC h (0100 1111 1111 1100)	Etiqueta: 2 h Bloque: FF h Byte: C h	Acierto lectura
3º	4FFE h (0100 1111 1111 1110)	Etiqueta: 2 h Bloque: FF h Byte: E h	Acierto lectura
4º	5000 h (0101 0000 0000 0000)	Etiqueta: 2 h Bloque: 100 h Byte: 0 h	Fallo lectura
5º	5002 h (0101 0000 0000 0010)	Etiqueta: 2 h Bloque: 100 h Byte: 2 h	Acierto lectura
6º	5004 h (0101 0000 0000 0100)	Etiqueta: 2 h Bloque: 100 h Byte: 4 h	Acierto lectura
7º	4FFA h (0100 1111 1111 1010)	Etiqueta: 2 h Bloque: FF h Byte: A h	Acierto lectura
8º	4FFC h (0100 1111 1111 1100)	Etiqueta: 2 h Bloque: FF h Byte: C h	Acierto lectura
9º	4FFE h (0100 1111 1111 1110)	Etiqueta: 2 h Bloque: FF h Byte: E h	Acierto lectura
10º	5000 h (0101 0000 0000 0000)	Etiqueta: 2 h Bloque: 100 h Byte: 0 h	Acierto lectura
11º	5002 h (0101 0000 0000 0010)	Etiqueta: 2 h Bloque: 100 h Byte: 2 h	Acierto lectura
12º	5004 h (0101 0000 0000 0100)	Etiqueta: 2 h Bloque: 100 h Byte: 4 h	Acierto lectura
13º	4FFA h (0100 1111 1111 1010)	Etiqueta: 2 h Bloque: FF h Byte: A h	Acierto lectura
14º	4FFC h (0100 1111 1111 1100)	Etiqueta: 2 h Bloque: FF h Byte: C h	Acierto lectura



Apellidos, Nombre: \_\_\_\_\_

Acce so	Dirección de memoria principal	Correspondencia en memoria caché de instrucciones	Acierto/Fallo Lect./Escrit. en MC <sub>Datos</sub>
15°	4FFE h (0100 1111 1111 1110)	Etiqueta:2 h Bloque: FF h Byte: E h	Acierto lectura
16°	5000 h (0101 0000 0000 0000)	Etiqueta:2 h Bloque: 100 h Byte: 0 h	Acierto lectura
17°	5002 h (0101 0000 0000 0010)	Etiqueta:2 h Bloque: 100 h Byte: 2 h	Acierto lectura
18°	5004 h (0101 0000 0000 0100)	Etiqueta:2 h Bloque: 100 h Byte: 4 h	Acierto lectura

Hit Ratio =  $16 / 18 = 0,88889 \rightarrow 88,889\%$ **Apartado c) (1 punto)**

Al tratarse de una caché asociativa por conjuntos **de un bloque** es equivalente a una caché por correspondencia directa con lo que ninguna política de reemplazo podría mejorar las tasa de acierto en ninguna de las dos cachés



Apellidos, Nombre: \_\_\_\_\_

**SOLUCIÓN EJERCICIO 2 (2 PUNTOS)****Apartados a) y b)**

ACCIÓN	OPERACIÓN ELEMENTAL	SEÑAL DE CONTROL
Fase de Fetch		
Direccionar	CP → B.Direcciones	(TCP)
	B.Dir → Reg.Direcciones	(LDIR)
Traer la instrucción	Inicio ciclo memoria	(MEM)
	Leer	(L/E)
	Memoria -> B.datos	(TMEM)
	B.Datos - > Reg.Ins	(LI)
Decodificación		1 periodo
Actualización de CP		
Incrementar CP	CP -> B.Direcciones	(TCP)
	B.Direcciones → Mux X0	< X0 = <B.Dir >
	Incrementar Mux X	< Selop=<Incr X >
	Cargar Acumulador	(LAC)
Cargar nuevo valor en CP	Acumulador -> B.Dir	(TDIR)
	B.Dir -> CP	(LCP)
Ejecución de la instrucción		
Direccional primer operando	SP → B. Direcciones	(TSP)
	B. Dir → Reg. Direcciones	(LDIR)
Traer operando	Inicio ciclo memoria	(MEM)
	Leer	(L/E)
	Memoria -> B.datos	(TMEM)
	B.Datos - > Reg. Temp.	(Ltemp)
Actualizar SP	SP -> B.Direcciones	(TSP)
	B.Direcciones → Mux X0	< X0 = <B.Dir >
	Incrementar Mux X	< Selop=<Incr X >
	Cargar Acumulador	(LAC)
Cargar nuevo valor de SP	Acumulador -> B.Dir	(TDIR)
	B.Dir -> SP	(LSP)



Apellidos, Nombre: \_\_\_\_\_

ACCIÓN	OPERACIÓN ELEMENTAL	SEÑAL DE CONTROL
Cargar segundo operando y sumar	SP → B. Direcciones	(TSP)
	B. Dir → Reg. Direcciones	(LDIR)
Traer operando	Inicio ciclo memoria	(MEM)
	Leer	(L/E)
	Memoria → B.datos	(TMEM)
	B.Datos → Mux X	< X0 = <B.Datos >
	Sumar	< Selop= sumar >
	Cargar Acumulador	(Lac)
	Modificar los Flags	(Lflags)
Salvaguardar resultado en Temp	Acumulador → B. datos	(Talu)
	B. datos → Reg. Temp	(Ltemp)
Actualizar SP	SP → B.Direcciones	(TSP)
	B.Direcciones → Mux X0	< X0 = <B.Dir >
	Incrementar Mux X	< Selop=<Incr X >
	Cargar Acumulador	(LAC)
Cargar nuevo valor de SP	Acumulador → B.Dir	(TDIR)
	B.Dir → SP	(LSP)
<hr/>		
Guardar el resultado y poner el contador de fases a cero		
Decrementar SP	SP → B.Direcciones	(TSP)
	B.Direcciones → Mux X0	< X0 = <B.Dir >
	Decrementar Mux X	< Selop=<Decr X >
	Cargar Acumulador	(LAC)
Cargar nuevo valor de SP	Acumulador → B.Dir	(TDIR)
	B.Dir → SP	(LSP)
Direccional SP y traspasar resultado	SP → B.Direcciones	(TSP)
	B.Dir. → Reg. Direcciones	(Ldir)
	Reg. Temp → Mux Y	< Y0 = R.temp>
	Traspasar entrada Y al Acum	< Selop = Traspasar Y >
	Cargar acumulador	(Lac)



Apellidos, Nombre: \_\_\_\_\_

ACCIÓN	OPERACIÓN ELEMENTAL	SEÑAL DE CONTROL
Escribir en la pila el resultado	Acumulador → B. Datos	(Talu)
	Inicio ciclo memoria	(Mem)
	Escribir	(L/E)
	Poner CF a 0	(Reset)

La secuencia de operaciones elementales descritas podría optimizarse (Por ejemplo al tener que incrementar y decrementar el puntero de pila al obtener el segundo operando y almacenar le resultado podríamos haber no actualizado SP con lo que ahorraríamos ciclos de máquina), pero para simplificar no se ha realizado ninguna optimización.



Apellidos, Nombre: \_\_\_\_\_

## Hoja para operaciones en sucio