

Apellidos, nombre: _____

Normas del examen:

- Los alumnos que hayan realizado los trabajos evaluables únicamente deberán realizar la primera parte del examen y obtener una **nota mínima de 2 puntos**.
- Los alumnos que **no** hayan realizado los trabajos evaluables, o quieran subir nota (renunciando a la obtenida mediante los trabajos) deberán realizar las dos partes del examen y obtener una **nota mínima de 2 puntos en ambas partes**.
- Solamente existe una opción válida en las preguntas de respuesta múltiple.
- No se podrá emplear documentación adicional a la del examen.
- No se podrá emplear ningún tipo de calculadora, ni teléfono móvil, ni computador portátil o PDA.
- No se podrán desgrapar las hojas.
- Tiempo de la primera parte del examen 1 hora y 15 minutos.
- Tiempo de la segunda parte del examen 1 hora y 15 minutos.
- Existirá un descanso de 5 minutos entre ambas partes del examen.

Primera Parte (5 puntos)

(Se debe obtener una calificación mínima de 2 puntos)

Preguntas de opción múltiple (2 puntos)

Pregunta correcta: + 0,20 Pregunta errónea: – 0,07 Pregunta sin contestar: 0

1. Indique la respuesta incorrecta.

- a) Los operandos explícitos en una arquitectura de pila pueden ser 2 ó 3.
- b) Las arquitecturas de registros de propósito general tienen solamente operandos explícitos.
- c) Los registros son más fáciles de utilizar por un compilador y se pueden usar de manera más efectiva que otras formas de almacenamiento interno.
- d) La pila es un modelo sencillo para la evaluación de expresiones (polaca inversa).

2. Se dispone de los números A= 11 y B= 10. Empleando para su multiplicación el algoritmo de suma-desplazamiento, el valor final del registro P1 (la parte alta del registro de desplazamiento) será:

- a) 00
- b) 11
- c) 01
- d) Otro: _____

justificar la respuesta en este rectángulo

3. El SPEC CPU 2000

- a) Es un benchmark desarrollado por INTEL para poder medir el rendimiento de sus procesadores.
- b) Contiene dos benchmark suites: CINT2000 y CFP2000.
- c) Fue creado con el fin de proveer una medida de rendimiento en una única arquitectura.
- d) No tiene en cuenta el efecto del compilador.

4. ¿Cuál de las siguientes palabras de 32 bits quedarían almacenadas de igual forma en memoria, empleando indistintamente little-endian o big-endian?.

- a) 33 55 33 55
- b) 33 33 55 55
- c) 55 55 33 33
- d) 33 55 55 33

5. Indique el resultado **correcto**: al extender el número de 8 bits en signo-magnitud 1110 0011 a 16 bits

- a) 1111 1111 1110 0011.
- b) 1000 0000 1110 0011.
- c) 1000 0000 0110 0011.
- d) Otro valor: _____

6. Una Unidad de Control diseñada con el método de las células de retardo

- a) Emplea nanoprogramación
- b) Emplea microprogramación horizontal si no se usa codificación y microprogramación vertical si las microinstrucciones están altamente codificadas
- c) Si se empleara en su construcción un contador módulo K con un decodificador 1 entre K, podrían surgir problemas de compatibilidad.
- d) Su diseño está basado en implementar el diagrama de estados mediante unos elementos que únicamente propagan un retardo.
7. Un ordenador con un procesador de 32 bits, tiene dos módulos de memoria caché independientes (instrucciones y datos) estructurados en bloques de 16 bytes y con un tamaño ambas de 64 Kbytes. La memoria caché de instrucciones tiene una política asociativa por conjuntos de dos bloques y la caché de datos una política totalmente asociativa. ¿Qué afirmación sería incorrecta?
- a) El número de conjuntos en memoria caché de datos sería = 2^{12}
- b) El número de bloques en memoria caché de instrucciones sería = 2^{12}
- c) La etiqueta en la memoria caché de datos tendría 28 bits
- d) El número de bloques de memoria principal sería = 2^{28}
8. ¿Cuál de los siguientes enunciados es falso?
- a) En la entrada-salida programada la CPU está dedicada completamente a la operación de entrada salida y a comprobar la disponibilidad del periférico.
- b) En la entrada-salida mediante acceso directo a memoria (DMA), los periféricos avisan a la CPU cuando están listos para ser atendidos.
- c) En la entrada salida por interrupciones el periférico realiza la petición de servicio mediante una señal de control específica.
- d) La resolución de prioridades por daisy-chain da prioridad al dispositivo más próximo.
9. Qué ocurriría al intentar escribir en una memoria caché que inicialmente está vacía y que tiene las siguientes características: caché asociativa por conjuntos de cuatro bloques, política de reemplazo LIFO y escritura aplazada sin ubicación.
- a) Se produce un fallo de escritura y escribimos únicamente en memoria principal
- b) Se produce un fallo de escritura. Llevamos el bloque a memoria caché y escribimos a la vez en memoria principal y en memoria caché
- c) Se produce un fallo de escritura. Llevamos el bloque a memoria caché y escribimos únicamente en memoria caché activando el dirty bit.
- d) Ninguna de las anteriores porque no conocemos la capacidad ni de la memoria caché ni de la memoria principal o el tamaño del bus de datos
10. Aplicando la técnica de truncación sobre el número expresado en complemento a2: 0000 0001 100 (los tres últimos bits son dos de guarda y uno retenedor), el resultado correcto sería:
- a) 0000 0011
- b) 0000 0010
- c) 0000 0000
- d) Otro valor: 0000 0001

Desarrollo teórico (1 punto)

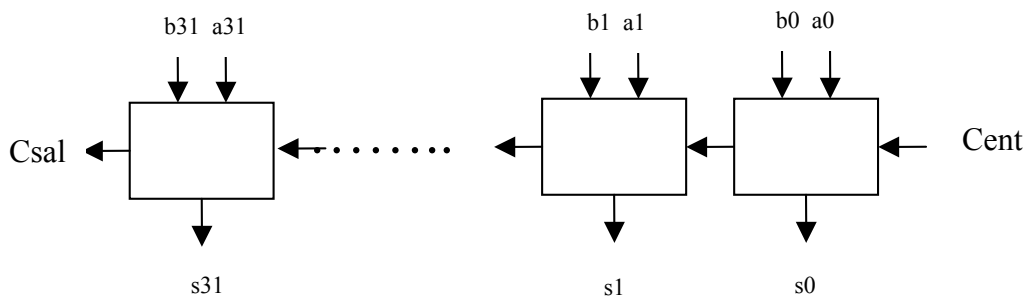
Describir en qué consiste la tecnología VLIW

Mirar apuntes de teoría



Cuestiones cortas (2 puntos)**Cuestión 1****(1 punto)**

Se dispone de un sumador con propagación de acarreo de 32 bits, calcular el retardo total para la suma y para el acarreo de salida, sabiendo que el retardo del sumador elemental de un bit para la suma es de 4 ns. y de 6 ns. para el acarreo de salida (0,5 puntos)



Retardo para la suma = $4 \times 32 = 128$ ns.

Retardo para el acarreo de salida = $128 + 2 = 130$ ns.

Calcular el valor de la función P (para los 32 bits de los operandos) y determinar si en función de su valor un acarreo de entrada Cent se propagaría hasta la salida (acarreo de salida Csal) con los números abajo expresados (0,5 puntos)

$a_i = 0101\ 0101\ 0101\ 0101$

$b_i = 1010\ 1010\ 1010\ 1010$

Si se propagaría porque la función p_i (xor bit a bit) es uno en todos los casos y por tanto la función $P = p_1 \times p_2 \times \dots \times p_{31} = 1$

Cuestión 2**(1 punto)**

Diseñar un código de operación extendida que permita codificar en una instrucción de 32 bits la siguiente información:

- 15 instrucciones con dos direcciones de 14 bits.
- 127 instrucciones con tres direcciones de 7 bits.
- 260 instrucciones con una dirección de 10 bits.

Para el primer formato

Código operación	Dirección 1	Dirección 2
4 bits	14 bits	14 bits

Para el segundo formato, sobra una combinación del primero que puede ser la 1111

1111	Cód. operación	Dirección 1	Dirección 2	Dirección 3
4 bits	7 bits	7 bits	7 bits	7 bits

Para el tercer formato, sobran varias combinaciones del segundo, se puede poner la 1111111

1111	1111111	Cód. operación	Dirección	No usado
4 bits	7 bits	9 bits	10 bits	2 bits

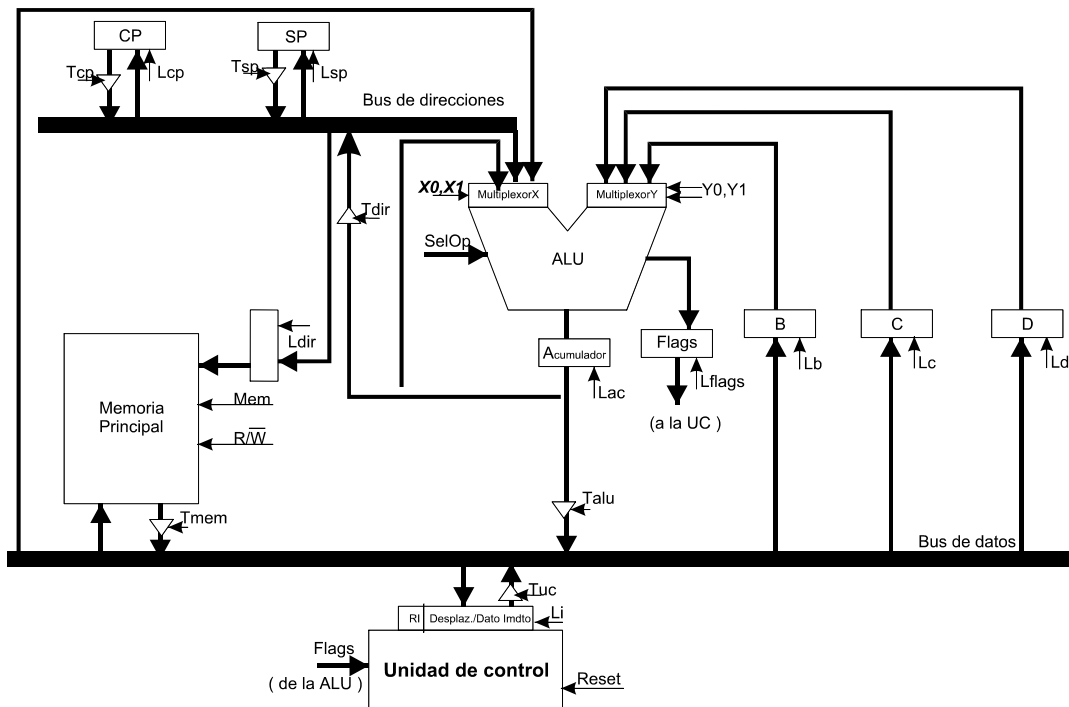
Segunda Parte (4 puntos)

(Se debe obtener una calificación mínima de 2 puntos)

Problema 1. (2 puntos)

1. Se dispone de un computador que consta, entre otros, de los siguientes elementos:

- ALU que se alimenta de dos entradas y permite realizar 16 operaciones, entre ellas la de traspasar la entrada del multiplexor Y al registro Acumulador.
- La máquina consta de un registro contador de programa CP, un registro puntero de pila SP y un registro Acumulador para almacenar los resultados.
- Memoria principal de 32 Kbytes, organizada en palabras de 8 bits.
- Se considera que las lecturas y escrituras en memoria se realizan en dos periodos de reloj.
- El bus de datos es de 8 bits.
- El bus de direcciones es de 16 bits.
- No todas las instrucciones son d el mismo tamaño



Se quiere que la CPU ejecute la siguiente instrucción de una palabra:

SUB [B--], A

Esta instrucción realiza las siguientes operaciones:

1. $M(B) \leftarrow M(B) - A$
 2. $B \leftarrow B - 1$
- a. Describir las operaciones elementales que se realizan en cada una de las fases de ejecución de la instrucción.
 - b. Realizar el cronograma correspondiente a la anterior secuencia de operaciones elementales

Problema 2. (2 puntos)

Sea un ordenador con un sistema de memoria de las siguientes características:

- Memoria principal:
 - Capacidad 4 GB.
 - Entrelazada simple de orden inferior con 16 módulos.
 - Tiempo de acceso de 32 ns.
- Memoria cache:
 - Dos módulos de memoria caché independientes (instrucciones y datos)
 - Capacidad de ambas caches de 256 Kbytes.
 - Tiempo de acceso de 4 ns.
 - Bloques de 16 bytes.
 - **Política de ubicación:** asociativa por conjuntos de cuatro bloques.
 - **Política de actualización:** escritura inmediata sin ubicación.
 - **Política de reemplazo:** FIFO.

En este computador se ejecuta el siguiente código:

```
i := 1;
WHILE (i < 3) DO
BEGIN
  A := Vector1(i);
  B:= Vector2(i);
  IF A > B
  THEN BEGIN
    Mayor(i) := A;
    Menor(i) := B;
  END
  ELSE BEGIN
    Mayor(i) := B;
    Menor(i) := A;
  END;
  Suma(i) := Suma(i) + Mayor(i);
  i:= i + 1;
END;
```

Se sabe que la instrucción $Suma(i) := Suma(i) + Mayor(i)$ implica tres accesos a memoria: dos de lectura $suma(i)$ y $mayor(i)$ y otro de escritura del resultado en $suma(i)$

También se sabe que la variable i se encuentra ubicada en un registro, inicializada a 1.

Finalmente las direcciones de memoria de las variables son:

Mayor	3C89 2365	Vector1	0039 2364
Menor	3D89 236A	Vector2	0029 2368
Suma	0019 2367		

Si inicialmente, la memoria caché de datos se encuentra vacía:

- Indicar la correspondencia entre una dirección de memoria principal y una de memoria cache. **(0,5 puntos)**
- Indicar la traza de los accesos, a los datos, realizada por este fragmento de código. **(0,5 puntos)**
- Indicar en cuáles de las anteriores referencias a la memoria principal producen fallos en la memoria caché y que acción se realiza. **(1 punto)**
- Calcular la tasa de aciertos de la memoria caché de datos para el anterior fragmento de programa. **(0,5 puntos)**
- Calcular el tiempo de ejecución del fragmento del programa anterior debido únicamente a los accesos a memoria. **(0,5 puntos)**

Solución problema 2

Apartado a)

(0,5 puntos)

La capacidad de la memoria principal es de 2^{32} bytes, y se encuentra estructurada en bloques de tamaño 16 bytes = 2^4 bytes/bloque, así se puede calcular que el número de bloques de memoria principal es de:

$$\text{Nº de bloques de memoria principal} = \frac{2^{32} \text{ bytes}}{2^4 \text{ bytes/bloque}} = 2^{28} \text{ bloques de memoria principal}$$

Por otro lado, la memoria cache tiene una política de ubicación asociativa por conjuntos de dos bloques con una capacidad de 256 Kbytes = $2^8 \cdot 2^{10}$ bytes, estructuradas en bloques de 16 bytes/bloque. Por tanto, el número de bloques de la memoria cache es de:

$$\text{Nº de bloques en memoria cache} = \frac{2^{18} \text{ bytes}}{2^4 \text{ bytes/bloque}} = 2^{14} \text{ bloques de memoria cache}$$

Ahora calcularemos el número de conjuntos de memoria cache

$$\text{Nº de conjuntos en memoria cache} = \frac{2^{14} \text{ bloques}}{2^2 \text{ bloques/conjunto}} = 2^{12} \text{ conjuntos de memoria cache}$$

De esta manera, un bloque de memoria principal se ubica en un bloque del conjunto correspondiente a la posición $i \bmod 2^{12}$ de memoria cache, siendo i el número de bloque de memoria principal. Por tanto, el número de bloques de memoria principal que pueden ubicarse en un conjunto de memoria cache de datos será:

$$\text{Nº bloques de memoria principal ubicables en un conjunto de la memoria cache} = \frac{2^{28} \text{ bloques MP}}{2^{12} \text{ conjuntos MCa}} = 2^{16}$$

Etiqueta	Conjunto	Posición
16	12	4

Apartados b) y c)

(0,5 puntos b) y 1 punto c)

APARTADO b)			APARTADO c)
Acceso	Dirección de memoria principal	Correspondencia en memoria caché	Acierto/Fallo Lect. en Mca
1º	Vector1 (1) 0039 236 4h	Etiqueta: 39h Conjunto: 236h Palabra: 4	Fallo lectura → Traer bloque de MP
2º	Vector2(1) 0029 236 8h	Etiqueta: 29h Conjunto: 236h Palabra: 8	Fallo lectura → Traer bloque de MP
3º	Mayor(1) 3C89 236 5h	Etiqueta: 3C89h Conjunto: 236h Palabra: 5	Fallo escritura → Escribir en MP y no traer bloque al ser sin ubicación
4º	Menor(1) 3D89 236 Ah	Etiqueta: 3D89h Conjunto: 236h Palabra: A	Fallo escritura → Escribir en MP y no traer bloque al ser sin ubicación
5º	Suma(1) 0019 236 7h	Etiqueta: 19h Conjunto: 236h Palabra: 7	Fallo lectura → Traer bloque de MP
6º	Mayor(1) 3C89 236 5h	Etiqueta: 3C89h Conjunto: 236h Palabra: 5	Fallo lectura → Traer bloque de MP
7º	Suma(1) 0019 236 7h	Etiqueta: 19h Conjunto: 236h	Acierto de escritura → escribir a la vez en MCa y en MP al ser escritura inmediata

APARTADO b)			APARTADO c)
Acceso	Dirección de memoria principal	Correspondencia en memoria caché	Acierto/Fallo Lect. en Mca
		Palabra: 7	
8°	Vector1 (2) 0039 236 5h	Etiqueta: 39h Conjunto: 236h Palabra: 5	Acierto de lectura → Acceder a Mca
9°	Vector2(2) 0029 236 9h	Etiqueta: 29h Conjunto: 236h Palabra: 9	Acierto de lectura → Acceder a Mca
10°	Mayor(2) 3C89 236 6h	Etiqueta: 3C89h Conjunto: 236h Palabra: 6	Acierto de escritura → escribir a la vez en Mca y en MP al ser escritura inmediata
11°	Menor(2) 3D89 236 Bh	Etiqueta: 3D89h Conjunto: 236h Palabra: B	Fallo escritura → Escribir en MP y no traer bloque al ser sin ubicación
12°	Suma(2) 0019 236 8h	Etiqueta: 19h Conjunto: 236h Palabra: 8	Acierto de lectura → Acceder a Mca
13°	Mayor(2) 3C89 236 6h	Etiqueta: 3C89h Conjunto: 236h Palabra: 6	Acierto de lectura → Acceder a Mca
14°	Suma(2) 0019 236 8h	Etiqueta: 19h Conjunto: 236h Palabra: 8	Acierto de lectura → Acceder a Mca

Apartado d)**(0,5 puntos)**

Tasa de aciertos (Hr) = 7 aciertos / 14 accesos totales = 0,5 → 50 %

Apartado e)**(0,5 puntos)**

Acceso	Acceso a Mca	Acceso a MP	Comentario
1°	1	1	Accedo a MCA, fallo y traigo el bloque leyendo de MP.
2°	1	1	Accedo a MCA, fallo y traigo el bloque leyendo de MP.
3°	1	1	Accedo a MCA, fallo al escribir y escribo solamente en MP por ser sin ubicación.
4°	1	1	Accedo a MCA, fallo al escribir y escribo solamente en MP por ser sin ubicación.
5°	1	1	Accedo a MCA, fallo y traigo el bloque leyendo de MP.
6°	1	1	Accedo a MCA, fallo y traigo el bloque leyendo de MP.
7°	1	1	Acierto de escritura. Al ser escritura inmediata escribo a la vez en MP y en MCA tomando solamente el tiempo del máximo de los dos tiempos
8°	1		Accedo a MCA al ser acierto de lectura
9°	1		Accedo a MCA al ser acierto de lectura
10°	1	1	Acierto de escritura. Al ser escritura inmediata escribo a la vez en MP y en MCA tomando solamente el tiempo del máximo de los dos tiempos
11°	1	1	Accedo a MCA, fallo al escribir y escribo solamente en MP por ser sin ubicación.
12°	1		Accedo a MCA al ser acierto de lectura
13°	1		Accedo a MCA al ser acierto de lectura
14°	1		Accedo a MCA al ser acierto de lectura

Número de accesos a memoria caché: 12 (accesos 7 y 10 solamente contará el de MP porque son simultáneos con los accesos a MCA)

Número de accesos a memoria principal: 9

Tiempo de ejecución = $12 \times 4\text{ns} + 9 \times 32\text{ns} = 336\text{ ns}$.